

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **11-017039**
 (43)Date of publication of application : **22.01.1999**

(51)Int.CI. **H01L 21/8249**
H01L 27/06
H01L 21/76

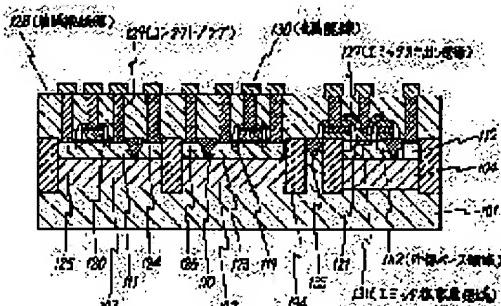
(21)Application number : **09-170753** (71)Applicant : **NEC CORP**
 (22)Date of filing : **26.06.1997** (72)Inventor : **SUZUKI HISAMITSU**

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To miniaturize a transistor by forming an element isolating region by arranging a single or a plurality of first element isolating insulating films and second element isolating insulating films having different depths adjacently or at an intervals.

SOLUTION: On a P type semiconductor substrate 101, a V-shaped first element isolating insulation film 133 that reaches a P+ type embedded layer 102, a first N+ type embedded layer 103 and a second N+ type embedded layer 104 is formed, and a second element isolating insulation film 134 that penetrates the P+ type embedded layer 102, the first N+ type embedded layer 103 and the second N+ type embedded layer 104 and reaches the P type semiconductor substrate 101 is formed. Then, an area where the element isolating width is narrow is isolated only by the element isolating insulation film 133 or the second element isolating insulation film 134, and a area where the element isolating width is wide, an element isolating region is formed by making the first element isolating insulation film 133 adjoin the second element isolating insulation film 134 for isolation.



LEGAL STATUS

[Date of request for examination] **26.06.1997**

[Date of sending the examiner's decision of rejection] **27.06.2000**

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] **3189743**

[Date of registration] **18.05.2001**

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-17039

(43)公開日 平成11年(1999)1月22日

(51)Int.Cl.⁶
H 0 1 L 21/8249
27/06
21/76

識別記号

F I
H 0 1 L 27/06
21/76

3 2 1 C
L

審査請求 有 請求項の致17 O L (全 26 頁)

(21)出願番号 特願平9-170753

(22)出願日 平成9年(1997)6月26日

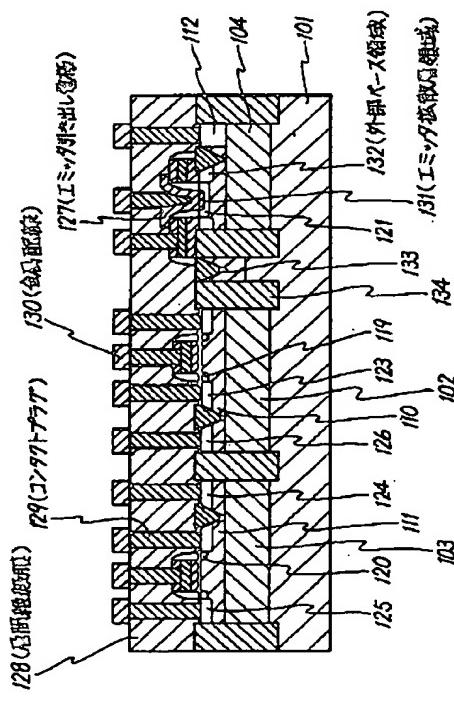
(71)出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72)発明者 鈴木 久満
東京都港区芝五丁目7番1号 日本電気株
式会社内
(74)代理人 弁理士 高橋 勇

(54)【発明の名称】 半導体集積回路装置及びその製造方法

(57)【要約】

【課題】 NMOS、PMOS、バイポーラの各トランジスタにおいて、素子分離領域の微細化を行うことにより、各トランジスタのトランジスタサイズの微細化を可能とする。

【解決手段】 本発明のBiCMOSにおける素子分離絶縁膜は、P型半導体基板101上に形成されたP⁺型埋込層102、第1のN⁺型埋込層103及び第2のN⁺型埋込層104に達するV字型の第1の素子分離酸化膜133と、P⁺型埋込層102、第1のN⁺型埋込層103及び第2のN⁺型埋込層104を貫通し、P型半導体基板101に達する第2の素子分離酸化膜134によって実現されている。



【特許請求の範囲】

【請求項1】 第1導電型の半導体基板上に、第1導電型の不純物領域、前記第1導電型とは異なる第2導電型の第1の不純物領域、及び前記第2導電型の第2の不純物領域のうちの少なくとも一つ以上の不純物領域を有し、

更に、深さの異なる第1の素子分離絶縁膜と第2の素子分離絶縁膜とを有し、

前記第1の素子分離絶縁膜及び第2の素子分離絶縁膜が、単体により、又は複数が隣接若しくは間隔をあけて並ぶことにより素子分離領域を形成している、半導体集積回路装置。

【請求項2】 前記第1導電型の不純物領域と前記第2導電型の第1の不純物領域とが、相補型電界効果型トランジスタのウエル領域又はウエル領域及び埋込層領域であり、前記第2導電型の第2の不純物領域がバイポーラトランジスタのコレクタ領域である、請求項1記載の半導体集積回路装置。

【請求項3】 前記第1の素子分離絶縁膜及び前記第2の素子分離絶縁膜が前記第1導電型の半導体基板に溝状に形成され、前記第1の素子分離絶縁膜の方が前記第2の素子分離絶縁膜よりも溝の深さが深く、かつ、前記第1の素子分離絶縁膜及び前記第2の素子分離絶縁膜の少なくとも最も外側が絶縁膜で形成されている、請求項1記載の半導体集積回路装置。

【請求項4】 前記第1の素子分離絶縁膜が、前記第2導電型の第2の不純物領域よりも深い位置まで形成されている、請求項1記載の半導体集積回路装置。

【請求項5】 素子領域の周囲を囲む素子分離絶縁膜の全部又は一部が、前記第1の素子分離絶縁膜又は前記第2の素子分離絶縁膜である、請求項1記載の半導体集積回路装置。

【請求項6】 前記相補型電界効果型トランジスタのウエル領域と金属配線との接続をするためのウエルコンタクト領域と、バイポーラトランジスタのコレクタ引き出し領域との少なくとも一方が、前記第1の素子分離絶縁膜と前記第2の素子分離絶縁膜とによって囲まれている、請求項2記載の半導体集積回路装置。

【請求項7】 前記コレクタ領域が、第2導電型の埋込層及び第2導電型のエピタキシャル層又は第2導電型のウエル領域によって形成されている、請求項2記載の半導体集積回路装置。

【請求項8】 前記コレクタ領域が、第2導電型のウエル領域によって形成されている、請求項2記載の半導体集積回路装置。

【請求項9】 前記第2の素子分離絶縁膜の両端が、前記第1の素子分離絶縁膜と接している、請求項5記載の半導体集積回路装置。

【請求項10】 前記第2の素子分離絶縁膜が、前記第2導電型の埋込層の底よりも浅く形成されている、請求

項7記載の半導体集積回路装置。

【請求項11】 前記第2の素子分離絶縁膜が、前記第2導電型のウエル領域の底よりも浅く形成されている、請求項8記載の半導体集積回路装置。

【請求項12】 前記第2の素子分離絶縁膜が、前記第1の素子分離絶縁膜、前記第1導電型の不純物領域又は前記第2導電型の不純物領域のいずれかによって挟まれている、請求項3記載の半導体集積回路装置。

【請求項13】 前記第1導電型の不純物領域が、前記10第1導電型の半導体基板、第1導電型のウエル領域又は第1導電型の拡散層領域のいずれかである、請求項12記載の半導体集積回路装置。

【請求項14】 前記第2導電型の不純物領域が、前記第2導電型のウエル領域又は第2導電型の拡散層領域のどちらかである、請求項12記載の半導体集積回路装置。

【請求項15】 前記第1導電型の半導体基板上に、第1の溝を形成する工程と、第1の溝を埋めて第1の素子分離絶縁膜を形成する工程と、第2の溝を形成する工程と、第2の溝を埋めて第2の素子分離絶縁膜を形成する工程とを含む、半導体集積回路装置の製造方法。

【請求項16】 前記第1の溝と前記第2の溝との深さを変えて形成する工程を含む、請求項15記載の半導体集積回路装置の製造方法。

【請求項17】 前記第1の素子分離絶縁膜及び前記第2の素子分離絶縁膜の少なくとも最も外側を絶縁膜で形成する工程を含む、請求項15記載の半導体集積回路装置の製造方法。

【発明の詳細な説明】

30 【0001】

【発明の属する技術分野】 本発明は、半導体基板上に形成されたバイポーラトランジスタと、相補型電界効果型トランジスタ（以下「CMOS」という。）とを合わせ持った半導体集積回路装置及びその製造方法に関し、特に素子分離領域の構造に特徴を有する半導体集積回路装置及びその製造方法に関する。

【0002】

【従来の技術】 第1の従来技術は、N. Iton著「IEEE 1992 Bipolar Circuits and Technology Meeting」（1992年10月発行）の104頁～107頁・第3図及び第4図に記載されている。第2の従来技術は、特開昭57-23239号公報、5頁65行～7頁16行、第6図（a）～（j）に記載されている。第3の従来技術は、特開昭58-93342号公報、2頁50行～3頁11行、第4図（a）～（i）に記載されている。

【0003】 バイポーラトランジスタの持つ高速動作・高駆動能力及びCMOSの低消費電力の両方の性質を兼ね備え、これを同一基板に形成した半導体集積回路装置（以下、「BiCMOS」という。）技術は、近年の低

消費電力化及び高速化の要求を実現するための最も有効な手法の一つである。このBiCMOS技術において、バイポーラトランジスタ及びCMOSをより高性能化・高集積化するためには、それぞれのトランジスタの微細化と素子分離領域の微細化という「トランジスタサイズ」の微細化を行っていく必要がある。素子分離領域の微細化の方法としては、半導体基板にトレンチ（溝）を形成し、絶縁膜を埋め込むトレンチ分離という方法が知られている。

【0004】第1従来技術として、バイポーラトランジスタの素子分離で用いられているトレンチ技術について図20乃至図22を用いて説明する。図20乃至図22の(a)～(f)は、第1の従来技術による構造及び製造方法を説明するための半導体素子の断面図である。

【0005】まず、図22(f)を用いて第1の従来技術による構造を説明する。第1の従来技術によるバイポーラトランジスタの素子分離は、P型半導体基板601上に形成されたN⁺型埋込層635に達する第1の素子分離絶縁膜640と、N⁺型埋込層635を貫通しP型半導体基板601に達する第2の素子分離絶縁膜641によって形成されている。第2の素子分離絶縁膜641は第1の素子分離絶縁膜640の下に形成されている。ベース領域（真性ベース領域621と外部ベース領域632）、コレクタ引き出し領域612の各領域の大きさは、第1の素子分離絶縁膜640によって決められている。また、コレクタ領域（N⁺型埋込層635）は第2の素子分離絶縁膜641によって決められた構造となっている。

【0006】次に、図20乃至図22の(a)～(f)を用いて第1の従来技術における製造方法を説明する。

【0007】図20(a)は、P型半導体基板601上に公知の方法により、N⁺型埋込層635を形成し、続いてN型エピタキシャル層605を形成し、第1のトレンチ606（シャロートレンチ）を形成するために、酸化膜、窒化膜と酸化膜の積層膜、等の第7のマスク907を形成したものである。

【0008】図20(b)は、公知の異方性エッティング技術を用いてN⁺型埋込層635に到達するように第1のトレンチ606を形成したものである。

【0009】図21(c)は、フォトレジスト等のマスク（図示せず）を用いて、第2のトレンチ608（ディープトレンチ）を第1のトレンチ606中に形成し、マスクを除去したものである。

【0010】図21(d)は、第1の酸化膜を607を第2のトレンチ608内に形成し、ポリシリコン614で埋込んだものである。なお、「IEEE 1992 Bipolar Circuits and Technology Meeting」の106頁、第4図では、ポリシリコンを埋込む他に、シリコン酸化膜やBPSG膜（ボロンとリンを含有したシリコン酸化膜）で形

成する方法も示されている。

【0011】図22(e)は、第2の酸化膜609により第1のトレンチ606を埋込み、マスク907を除去したものである。これによって、浅くて広い第1の素子分離絶縁膜640と、深くて狭い第2の素子分離絶縁膜641が形成される。

【0012】図22(f)は、公知の方法を用いることによりバイポーラトランジスタ部を形成したものである。

10 【0013】第1の従来技術では、第1の素子分離絶縁膜は広くて浅い分離領域を形成しているが、図33(b) (c)に示したように、広い素子分離領域では、素子分離領域の中央部分でCVD等で成長した絶縁膜の膜厚が薄くなる又は無くなるという問題が生じる。これを、解決する方法が公知の技術として知られているので、第2の従来技術及び第3の従来技術として図面を参照して説明する。

【0014】図23乃至図27の(a)～(j)を用いて第2の従来技術における製造方法を説明する。

20 【0015】図23(a)は、(100)の結晶面をもつP型半導体基板701上に、溝部形成予定部が除去されたレジストパターンである第8のマスク908を、光食刻法により形成したものである。

【0016】図23(b)は、レジストパターンである第8のマスク908をエッティングのマスクとして、P型半導体基板701をリアクティブイオンエッティングによりエッティングしたものである。このとき、図に示す如く、垂直に近い側面をもつ複数の第1のトレンチ706'及び706が形成された。この際に、図中一番左の

30 第1のトレンチ706'は幅1.5μm、深さ2μmの寸法をなし、他の溝とは充分に離して設けた。一方、他の第1のトレンチ706は、それぞれ幅1μm、深さ2μmの寸法をなし、互いに1μmの間隔をあけて近接して設けた。

【0017】図24(c)は、レジストパターンである第8のマスク908をイオン注入のマスクとして、P型半導体基板701と同導電型の不純物であるボロンを加速電圧50keV、ドーズ量 $5 \times 10^{12} \text{ cm}^{-2}$ の条件でイオン注入した後、熱処理を施して第1のトレンチ706'、706の底に第1のチャネルストップ領域749を形成したものである。

40 【0018】図24(d)は、マスク908を除去した後、第1の酸化膜707をCVD法により第1のトレンチ706'の開口部幅の半分(0.75μm)以上の厚さ(1.0μm)となるように堆積した。このとき、第1の酸化膜707は、P型半導体基板701上及び第1のトレンチ706'、706内面に徐々に堆積され、図に示す如く第1のトレンチ706'、706の開口部まで十分埋め込まれた。なお、この堆積時においては、選択酸化の如く高温かつ長時間の熱処理が解消されること

により、第1のチャネルストップ領域749中のP⁺型の不純物の再拡散は殆ど起きなかった。

【0019】図25(e)は、第1の酸化膜707を弗化アンモンでP型半導体基板701主表面が露出するまで全面エッチングしたものである。このとき、P型半導体基板701上の第1の酸化膜707部分の膜厚分だけ除去され、第1のトレンチ706'，707の内部にのみ第1の酸化膜707が残存し、第1の素子分離酸化膜733が形成された。

【0020】図25(f)は、広い素子分離領域753を形成するために、フォトレジスト膜からなる第9のマスク909を、図中に示したように、広い素子分離領域753形成予定領域に選択的に開口し、他の狭い素子分離領域752や素子領域を第9のマスク909で覆った後、リアクティブイオンエッチングを行ったものである。このとき、図に示す如く、レジスト膜からなる第9のマスク909の開口した部分では、第1の素子分離酸化膜733で挟まれたP型半導体基板701が選択的に除去され、垂直に近い側面をもち、幅1μm、深さ2μmの第2のトレンチ708が形成される。

【0021】図26(g)は、レジストパターンである第9のマスク909をイオン注入のマスクとして、P型半導体基板701と同導電型の不純物であるボロンを加速電圧50keV、ドーズ量 $5 \times 10^{12} \text{ cm}^{-2}$ の条件でイオン注入した後、熱処理を施して第2のトレンチ708の底に第2のチャネルストップ領域750を形成したものである。

【0022】図26(h)は、第9のマスク909を除去した後、第2の酸化膜709をCVD法により、第2のトレンチ708の開口部の半分(0.5μm)以上の厚さ(0.8μm)となるように堆積したものである。このとき、第2の酸化膜709は、P型半導体基板701上及び第2のトレンチ708内面に徐々に堆積され、図に示す如く第2のトレンチ708の開口部まで十分埋め込まれた。なお、このCVDの過程で、第1のチャネルストップ領域749と第2のチャネルストップ領域750が一体化され、幅の広いチャネルストップ領域751が形成された。

【0023】図27(i)は、第2の酸化膜709を弗化アンモンでP型半導体基板701主表面が露出するまで全面エッチングしたものである。このとき、P型半導体基板701上の第2の酸化膜709部分の膜厚分だけ除去され、第2のトレンチ708の内部にのみ第2の酸化膜709が残存し、第2の素子分離酸化膜734が形成される。そして、この第2の素子分離酸化膜734と第1の素子分離酸化膜733とが一体化し7μm幅の広い素子分離領域753(フィールド領域)が形成される。なお、第1のトレンチ706'内に形成された第1の素子分離酸化膜733は1.5μm幅の狭い素子分離領域752として利用される。この手法を用いると、狭

い素子分離領域752と広い素子分離領域753とを同時に形成することができ、第1の従来技術で述べた、広い素子分離領域753の中央部分でCVD等で成長した絶縁膜の膜厚が薄くなる又は無くなるという問題が生じることはない。

【0024】図27(j)は、ゲート酸化膜713を介してポリシリコンからなるゲート電極717を形成し、砒素拡散を行ってN⁺型ソース・ドレイン領域723を形成し、更に、CVD酸化膜からなる層間絶縁膜728を堆積し、ゲート電極717及びN⁺型ソース・ドレン領域723に対応する層間絶縁膜728部分にコンタクトホール(ゲート電極のコンタクトホールは図示せず)を開孔した後、アルミニウムを真空蒸着し、電極分離を施して、ソース取り出しアルミニウム電極、ドレン取り出しアルミニウム電極、ゲート取り出しアルミニウム電極(図示せず)といった金属配線730を形成して、NMOS(nチャネルMOSLSI)を製造したものである。

【0025】次に、図28乃至図32の(a)～(i)を用いて第3の従来技術における製造方法を説明する。

【0026】図28(a)は、比抵抗5ΩcmのP型(100)半導体基板801の素子分離領域に間隔が1.5μmで、幅が1.5μmのフォトレジストのパターンからなる第10のマスク910を光露光技術を用いて形成したものである。

【0027】図28(b)は、反応性イオンエッチング技術を用いて、図中に示すように深さ1μmの第1のトレンチ806をP型半導体基板801に形成し、第10のマスク910を除去したものである。

【0028】図29(c)は、気相成長技術を用いて厚み2μmの第1の酸化膜807を全面に堆積させ、次にスピニコート法を用いて、PM AHレジストからなる第11のマスク911を厚み1μm形成したものである。

【0029】図29(d)は、PM AHレジストからなる第11のマスク911と第1の酸化膜807のエッチング速度が等しい条件で、第11のマスク911と第1の酸化膜807をエッチングしてP型半導体基板801の表面を露出させ、第1の素子分離酸化膜833を形成したものである。

【0030】図30(e)は、光露光技術を用いて、素子形成領域を選択的にフォトレジストからなる第12のマスク912を被せたものである。

【0031】図30(f)は、反応性イオンエッチング技術を用いて露出しているシリコンをエッチングし、第1のトレンチ807と同一の深さの第2のトレンチ808を形成し、第12のマスク912を除去したものである。

【0032】図31(g)は、気相成長技術を用いて厚み2μmの第2の酸化膜809を全面に堆積させた後、スピニコート法を用いて、前述のPM AHレジストから

7

なる第13のマスク913を厚み1μm形成したものである。

【0033】図31(h)は、PMAHレジストからなる第13のマスク913と第2の酸化膜809のエッチング速度が等しい条件で、第13のマスク913と第2の酸化膜809をエッチングしてP型半導体基板801の表面を露出させ、第2の素子分離酸化膜834を形成したものである。以上の工程によって、図中に示すように狭い素子分離領域852にも広い素子分離領域853にも平坦に第1の酸化膜807と第2の酸化膜809を埋込むことができた。また、狭い素子分離領域852は第1の素子分離酸化膜833によって、また、広い素子分離領域853は第1の素子分離酸化膜833と第2の素子分離酸化膜834とを互いに隣接させることによって形成することができた。

【0034】図32(i)は、全面に加速電圧150keVかつドーズ量 $1 \times 10^{14} \text{ c m}^{-2}$ の条件でボロンをイオン注入し、続いて、通常の技術を用いて、素子形成領域に、N⁺型ソース・ドレイン領域823、ゲート酸化膜813及びゲート電極817を形成し、NMOSを製造したものである。

【0035】なお、第2の従来技術と第3の従来技術の違いは、第1のトレンチの幅にある。すなわち、第2の従来技術では、孤立した狭い素子分離領域部の第1のトレンチの幅と、複数が互いに隣接した広い素子分離領域部の第2のトレンチ幅とが異なっている。これに対し、第3の従来技術では、第1のトレンチの幅がすべて一定で作られている。

【0036】

【発明が解決しようとする課題】始めに、第1の従来技術での問題点について図面を参照しながら説明する。なお、図中の番号は分かり易くするために、第1の従来技術で用いたものと同じにしてある。

【0037】図33及び図34の(a)～(d)は、第1の従来技術の問題点を説明するための半導体素子の工程断面図である。

【0038】図33(a)は、P型半導体基板601にマスクを用いて、幅の狭いトレンチ647と幅の広いトレンチ648を形成し、CVD等の公知の技術を用いて第2の酸化膜609を成長させたものである。なお、図33(a)は、図22(e)の第2の酸化膜609を埋込んだときに相当する。

【0039】図中からも明らかなように、幅の狭いトレンチ647は第2の酸化膜609により完全に埋込まれているが、例えば、幅が～数mmに達するような幅の広いトレンチ648では、第2の酸化膜609の表面に段差が生じる。理論的には、トレンチの幅の半分以上の膜厚を成長させれば、段差の発生を抑えられる。しかし、膜厚が～数mmにまで達するようなCVD成長は、生産性を落とすので実現不可能である。

8

【0040】図33(b)は、公知の異方性エッチングにより、第2の酸化膜609を全面エッチングしたものである。図34(c)は、近年のCMP(化学的機械的研磨)技術を用いて、第2の酸化膜609を異方性エッチングしたものである。

【0041】図中からも明らかなように、公知のこれらの技術を用いると、幅の狭いトレンチ647には、第2の酸化膜609をきれいに埋込むことはできるが、幅の広いトレンチ648には、第2の酸化膜609をきれいに埋込むことはできない。そのため、ここで生じた段差が原因で、後工程において、例えば、配線形成のためのエッチング工程において、配線間のショートが発生したり、フォトレジストを用いたバーニング工程において、フォトレジストが寸法通りに加工できなかったり、等の問題が生じる。また、幅の広いトレンチ648に、幅の上限を設ける方法もあるが、これは平面レイアウトを行う際の制限事項となるので、レイアウトの自由度が減少する。

【0042】図34(d)は、第1の従来技術を用いたバイポーラトランジスタの実現例である。図示するように、削減可能なコレクター基板間拡散層容量657と、削減可能なベース電極-コレクタ間容量658とが現状で存在する。したがって、バイポーラトランジスタのトランジスタサイズを変更することなしに、素子分離の構造を変えることにより、トランジスタの性能を向上できる余地もある。これは、微細化を進めていく上で改善すべき問題となっている。

【0043】次に、第2の従来技術及び第3の従来技術での問題点について図面を参照しながら説明する。

【0044】図35(a)は、一般的に用いられているNMOS部1054及びPMOS部1055の平面レイアウトの一例である。図35(b)及び図36(c)は、図35(a)のE-F部での断面構造を示し、図35(b)は第2の従来技術による本平面レイアウトの実現例を、図36(c)は第3の従来技術での本平面レイアウトの実現例をそれぞれ示したものである。なお、問題点を分かり易くするために、図35(b)では第2の従来技術を説明する際に用いた図番号を、また、図36(c)では第3の従来技術を説明する際に用いた図番号を用いた。

【0045】図35(a)は、NMOS部1054及びPMOS部1055の平面レイアウトで、ゲート電極1017と、N⁺型ソース・ドレイン領域1023、P⁺型Pウェルコンタクト領域1026、P⁺型ソース・ドレイン領域1025、N⁺型Nウェルコンタクト領域1024がある。

【0046】図35(b)では、図中に示したように第1の素子分離酸化膜733及び第2の素子分離酸化膜734が、P型ウェル領域710及びN型ウェル領域711よりも深く形成されている。この場合、N⁺型ソース

・ドレイン領域723とP⁺型Pウエルコンタクト領域726との間、及びP⁺型ソース・ドレイン領域725とN⁺型Nウエルコンタクト領域724との間には、素子分離領域を形成することができない。これは、もし素子分離領域をこれらの間に形成してしまうと、NMOSでは、Pウエルの電位とNMOSのソースの電位とを、また、PMOSでは、Nウエルの電位とPMOSのソースの電位とと同じにすることができないためである。

【0047】また、図中に示した断面構造を用いると、例えば、ソース領域とウエルコンタクト領域が隣り合うときには、互いの電位が同じであるため、互いの間隔をあける必要はない。しかし、ドレイン領域とウエルコンタクト領域が隣り合うときには、互いの電位が異なるため、互いの間隔を十分あける必要が生じ、トランジスタ領域の微細化の妨げとなる。

【0048】図36(c)では、図35(b)と異なり、図中に示したように第1の素子分離酸化膜833と第2の素子分離酸化膜834が、P型ウエル領域810とN型ウエル領域811よりも浅く形成されている。そのため、N⁺型ソース・ドレイン領域823とP⁺型Pウエルコンタクト領域826との間、及びP⁺型ソース・ドレイン領域825とN⁺型Nウエルコンタクト領域824との間に、素子分離領域を形成することができ、前述した第2の従来技術での問題点は解決される。

【0049】しかしながら、第1の素子分離酸化膜833及び第2の素子分離酸化膜834が、P型ウエル領域810及びN型ウエル領域811よりも浅く形成されているので、トランジスタサイズを更に微細化していくと、PNP及びNPNの寄生バイポーラトランジスタによるラッチアップが起こりやすくなり、デバイス動作上の信頼性が低下する。

【0050】以上に、説明したように、第1の従来技術では、広い素子分離領域の形成に大きな問題があり、更に、現状のバイポーラトランジスタのトランジスタサイズを変更することなしに、素子分離の構造を変えることによりトランジスタ性能を高性能化する余地もあり、微細化を進めていく上で改善を考慮する必要がある。

【0051】また、第2の従来技術及び第3の従来技術では、トランジスタサイズの微細化に対し、現状の方法では前述した理由から限界が生じてしまう。

【0052】

【発明の目的】本発明の目的は、前述した問題点をすべて解決することであるが、特に、NMOS、PMOS、バイポーラの各トランジスタにおいて、素子分離領域の微細化を行うことにより、各トランジスタのトランジスタサイズの微細化を可能とすることにある。

【0053】

【課題を解決するための手段】本発明に係る半導体回路装置は、第1導電型の半導体基板上に、第1導電型の不

純物領域、前記第1導電型とは異なる第2導電型の第1の不純物領域、及び前記第2導電型の第2の不純物領域のうちの少なくとも一つの不純物領域を有し、更に、深度の異なる第1の素子分離絶縁膜と第2の素子分離絶縁膜とを有し、前記第1の素子分離絶縁膜及び第2の素子分離絶縁膜が、単体により又は複数が隣接若しくは間隔をあけて並ぶことにより素子分離領域を形成したものである。また、前記第1導電型の不純物領域と前記第2導電型の第1の不純物領域とが、相補型電界効果型トランジスタのウエル領域又はウエル領域及び埋込層領域であり、第2導電型の第2の不純物領域がバイポーラトランジスタのコレクタ領域であるものとしてもよい。前記第1の素子分離絶縁膜及び前記第2の素子分離絶縁膜が、前記第1導電型の半導体基板に溝状に形成され、前記第1の素子分離絶縁膜の方が前記第2の素子分離絶縁膜よりも溝の深さが深く形成したものとしてもよい。前記第1の素子分離絶縁膜及び前記第2の素子分離絶縁膜の少なくとも最も外側が、絶縁膜で形成されているものとしてもよい。

10 【0054】また、本発明の半導体回路装置の製造方法は、第1導電型の半導体基板上に、第1の溝を形成する工程と、第1の溝を埋めて第1の素子分離絶縁膜を形成する工程と、第2の溝を形成する工程と、第2の溝を埋めて第2の素子分離絶縁膜を形成する工程とを含むものである。また、前記第1の溝と前記第2の溝との深さを変えて形成する工程を含むものとしてもよい。更に、前記第1の素子分離絶縁膜及び前記第2の素子分離絶縁膜の少なくとも最も外側を絶縁膜で形成する工程を含むものとしてもよい。

20 【0055】本発明では、半導体基板に溝を形成することによって形成された、第1の素子分離絶縁膜と第2の素子分離絶縁膜が存在する。第1の素子分離絶縁膜は、ウエル領域や埋込層領域を貫通し、半導体基板まで達する深さに形成される。第2の素子分離絶縁膜は、ウエル領域の底又は埋込層領域の底よりも浅く形成される。第1の素子分離絶縁膜は、バイポーラトランジスタ、NMOS、PMOS等の各トランジスタ間の素子分離を狭い間隔で行う。第2の素子分離絶縁膜は、バイポーラトランジスタのコレクタ引き出し領域とベース領域との間の

30 素子分離と、CMOSのソース・ドレイン領域とウエルコンタクト領域との素子分離を狭い間隔で行う。これにより、素子分離領域の微細化を行うことができ、素子分離領域の微細化が図れる。また、第1の素子分離絶縁膜が狭い間隔で半導体基板まで達する深さに形成されているので、NPN、PNPの各寄生バイポーラトランジスタによるラッチアップを防止でき、ラッチアップに対する耐性が向上する。

40 【0056】

【発明の実施の形態】図1乃至図5の(a)～(i)は、本発明の第1実施形態の構造及びの製造方法を説明

するための半導体素子の断面図である。

【0057】まず、図5(i)を用いて本発明の第1実施形態の構造を説明する。本実施形態のBiCMOSにおける素子分離絶縁膜は、P型半導体基板101上に形成されたP⁺型埋込層102、第1のN⁺型埋込層103及び第2のN⁺型埋込層104に達するV字型の第1の素子分離酸化膜133と、P⁺型埋込層102、第1のN⁺型埋込層103及び第2のN⁺型埋込層104を貫通し、P型半導体基板101に達する第2の素子分離酸化膜134によって実現されている。素子分離幅の狭い所は、第1の素子分離酸化膜133又は第2の素子分離酸化膜134のみで分離されている。素子分離幅の広い所は、第1の素子分離酸化膜133と第2の素子分離酸化膜134とが隣接することにより分離されている。また、広い素子分離領域では、第1の素子分離酸化膜133は第2の素子分離酸化膜134の間に挟まれた構造となっている。

【0058】更に、N⁺型Nウェルコンタクト領域124、P⁺型Pウェルコンタクト領域126及びコレクタ引き出し領域112のそれぞれは、第1の素子分離酸化膜133及び第2の素子分離酸化膜134により周囲を囲まれることにより、各素子領域の位置が決められた構造となっている。また、P⁺型埋込層102、第1のN⁺型埋込層103、第2のN⁺型埋込層104、P型ウェル領域110及びN型ウェル領域111のそれぞれは、第2の素子分離酸化膜134によって周囲を囲まれることにより各領域、及び各トランジスタ領域が決められた構造となっている。

【0059】次に、図1乃至図5(a)～(i)を用いて本発明の第1実施形態における製造方法を説明する。

【0060】図1(a)は、P型半導体基板101上に公知の方法により、P⁺型埋込層102、第1のN⁺型埋込層103、第2のN⁺型埋込層104を形成し、続いて0.4～1.6μmの膜厚のN型エピタキシャル層105を形成したものである。この際に、第1のN⁺型埋込層103と第2のN⁺型埋込層104とは、同時に形成してもよいし、別々にそれぞれ異なる条件で形成してもよい。

【0061】図1(b)は、N型エピタキシャル層105表面に、例えば50nm～1000nmの酸化膜、又は50nm～1000nmの酸化膜と窒化膜の積層膜、等の第1のマスク901を形成し、公知の、例えばKOH-アルコール系溶液による異方性エッティングにより、V字型の第1のトレンチ106を形成したものである。図中ではV字型の第1のトレンチ106の深さは、第2のN⁺型埋込層104に到達するように形成しているが、これよりも浅くてもよいし、深くてもよいが、少なくとも第2のN⁺型埋込層104を貫通しないように形成する。なお、ここで、第1のトレンチ形成でウエットエッティングによりV字型のトレンチを形成したのは、従

来技術のドライエッティングによるトレンチ形成ではトレンチの底部のエッジ部分で結晶欠陥が入り易いのに対し、本方法では、ウエットエッティングを用いるのでシリコン基板に対するダメージが少なく、結晶欠陥が入りにくいためである。

【0062】図2(c)は、V字型の第1のトレンチ106の開口部の幅に対し、半分以上の膜厚の第1の酸化膜107をCVD法などによって成長させ、公知の酸化膜ドライエッチ、CMP等の方法により第1のマスク901の表面まで除去し、第1のトレンチ106の内部を第1の酸化膜107で埋め込むことにより、第1の素子分離酸化膜133を形成したものである。なお、第1の素子分離酸化膜133と接触するシリコンのと間に熱酸化膜と同等の膜質の酸化膜があると、界面(接触面)におけるリーク電流を減らすことができる。そのため、第1の酸化膜107を成長させる前に、第1のトレンチ106の内部を酸化して数～数10nm薄い酸化膜を形成するか、第1の素子分離酸化膜133を形成した後に、酸化又は窒素、アルゴン等の不活性ガス雰囲気でアニールするとよい。

【0063】図2(d)は、第2のトレンチ108を形成するため、フォトレジストによる第2のマスク902を形成したものである。今回は、第2のマスク902としてフォトレジストを用いているが、酸化膜や窒化膜をマスクとして用いてもよい。

【0064】図3(e)は、公知の異方性エッティング技術により第2のトレンチ108を形成したものである。このとき、第2のトレンチ108は、図示するとおりP⁺型埋込層102、第1のN⁺型埋込層103及び第2のN⁺型埋込層104のすべてを貫通させることができるととも望ましいが、少なくとも第2のN⁺型埋込層104だけは貫通させて形成する。また、第2のトレンチ108の底の部分には、例えば、フォトレジスト等のマスクを用い、必要に応じ選択的にイオン注入を行い、P⁺型やN⁺型のチャネルトップ領域を形成してもよい。

【0065】図3(f)は、第2のマスク902を除去した後、第2のトレンチ108の開口部の幅に対し、半分以上の膜厚の第2の酸化膜109を、CVD法などによって成長させ、第2のトレンチ108の内部を第2の酸化膜109で埋込んだものである。

【0066】図4(g)は、公知の酸化膜ドライエッチ、CMP等の方法により第1のマスク901の表面まで除去し、更に第1のマスク901を除去することにより、深さの異なる第1の素子分離酸化膜133及び第2の素子分離酸化膜134からなる素子分離酸化膜を形成し、更に、P型ウェル領域110、N型ウェル領域111及びコレクタ引き出し領域112を公知の方法により形成したものである。このとき、図4(g)でバイポーラトランジスタが形成されるN型エピタキシャル層105部に、N型ウェル領域111又はN型ウェル領域11

1とは異なるN型ウエル領域(図示せず)を形成してもよい。なお、第2の素子分離酸化膜134と接触するシリコンとの間に熱酸化膜と同等の膜質の酸化膜があると、界面(接触面)におけるリーク電流を減らすことができる。そのため、第2の酸化膜109を成長させる前に、第2のトレンチ108の内部を酸化して数～数10nm薄い酸化膜を形成するか、又は第1の素子分離酸化膜134を形成した後に、酸化若しくは窒素、アルゴン等の不活性ガス雰囲気でアニールするとよい。

【0067】図4(h)は、4～20nmのゲート酸化膜113を形成した後、100～300nmのポリシリコン114と100～300nmの高融点金属のシリサイド115とを公知のCVD技術などを用いて成長させ、更に100～300nmの酸化膜、窒化膜等からなる第1の絶縁膜116をCVD等の技術により成長させた後、フォトレジスト等のマスクを用いポリサイド構造のゲート電極117、及び、バイポーラトランジスタのベース引き出し電極118を形成し、続いて公知の方法により、N型LDD層119、P型LDD層120及び真性ベース領域121をイオン注入により順次形成し、続いて50～300nmの第2の絶縁膜をCVD等の技術によって成長させた後、公知の異方性エッチングによりサイドウォール122をゲート電極117及びベース引き出し電極118の側壁部に形成し、続いてNMOSのN⁺型ソース・ドレイン領域123とPMOSのN⁺型Nウエルコンタクト領域124とをイオン注入などにより同時に形成し、更に、PMOSのP⁺型ソース・ドレイン領域125とNMOSのP⁺型Pウエルコンタクト領域126とをイオン注入などにより同時に形成したものである。

【0068】図5(i)は、エミッタ引き出し電極127をN⁺型にドープされたポリシリコンで形成し、例えば、酸化膜とボロンとリンを含んだ酸化膜との積層膜による層間絶縁膜128を形成し、コンタクトを開孔後、バリアメタル(図示せず)を介しコンタクトプラグ129及び金属配線130を形成したものである。なお、エミッタ拡散層領域131及び外部ベース領域132は、製造工程における熱処理か又は熱処理を追加することによって、N⁺型ポリシリコンで形成されたエミッタ引き出し電極127、及び、ポリサイドで形成されたベース引き出し電極118のP⁺型ポリシリコンからそれぞれ不純物が拡散することにより形成される。図中で、第1の素子分離酸化膜133と第2の素子分離酸化膜134とが3個隣同士に並びかつ互いに接続している部分がある。しかし、これらの上にゲート電極117、ベース引き出し電極118、金属配線130等の配線が2個以上のトレンチにまたがって形成されていないので、この様な場合には、図中に示したように第1の素子分離酸化膜133と第2の素子分離酸化膜134とを互いに接続させる必要はなく、お互いの間隔をあけて形成してもよい。

【0069】次に、本発明の第2実施形態における製造方法を説明する。

【0070】図6乃至図10の(a)～(i)は、本発明の第2実施形態における製造方法を説明するための半導体素子の断面図である。第1実施形態における製造方法との違いは、深さの異なる2種のトレンチの形成順序、及びCMOS部でのP⁺型埋込層とN⁺型埋込層との形成工程の有無である。

【0071】図6(a)は、P型半導体基板201上に10公知の方法により、N⁺型理込層235を形成し、続いて0.4～1.6μmの膜厚のN型エピタキシャル層205を形成したものである。

【0072】図6(b)は、N型エピタキシャル層205表面に、例えば50nm～1000nmの酸化膜、又は50nm～1000nmの酸化膜と窒化膜の積層膜、等の第3のマスク903を形成し、公知の異方性エッチング技術により、第1のトレンチ206を形成したものである。このとき、第1のトレンチ206は、図中に示したように、N⁺型埋込層235を貫通し、P型半導体201基板201に到達するように形成する。また、第1のトレンチ206の底の部分には、例えば、フォトレジスト等のマスクを用い、必要に応じ選択的にイオン注入を行い、P⁺型やN⁺型のチャネルトップ領域を形成してもよい。

【0073】図7(c)は、第1のトレンチ206の開口部の幅に対し、半分以上の膜厚の第1の酸化膜207を、CVD法などによって成長させ、公知の酸化膜ドライエッチ、CMP等の方法により第3のマスク903の表面まで除去し、第1のトレンチ206の内部を第1の30酸化膜207で埋込むことにより、第1の素子分離酸化膜233を形成したものである。なお、前述したように、第1の酸化膜207を成長させる前に、第1のトレンチ206の内部を酸化して数～数10nm薄い酸化膜を形成するか、又は第1の素子分離酸化膜233を形成した後に、酸化若しくは窒素、アルゴン等の不活性ガス雰囲気でアニールするとよい。

【0074】図7(d)は、例えば、50nm～1000nmの酸化膜、又は50nm～1000nmの酸化膜と窒化膜の積層膜、等を形成し、必要な部分を開口することにより、第2のトレンチ208を形成するための40第4のマスク904としたものである。

【0075】図8(e)は、公知の、例えばKOH-アルコール系溶液による異方性エッチングによりV字型の第2のトレンチ208を形成したものである。図中では第2のトレンチ208の深さは、N⁺型埋込層235に到達するように形成しているが、これよりも浅くてもよいし、深くてもよいが、少なくとも、N⁺型埋込層235を貫通しないように形成する。

【0076】図8(f)は、第2のトレンチ208の開50口部の幅に対し、半分以上の膜厚の第2の酸化膜209

をCVD法などによって成長させ、第2のトレンチ208の内部を第2の酸化膜209で埋め込んだものである。

【0077】図9(g)は、公知の酸化膜ドライエッヂ、CMP等の方法により第4のマスク904の表面まで除去し、更に第3のマスク903と第4のマスク904を除去することにより、深さの異なる第1の素子分離酸化膜233及び第2の素子分離酸化膜234からなる素子分離酸化膜を形成し、更に、P型ウエル領域210、N型ウエル領域211及びコレクタ引き出し領域212を公知の方法により形成したものである。このとき、バイポーラトランジスタが形成されるN型エピタキシャル層205部に、N型ウエル領域211又はN型ウエル領域211とは異なるN型ウエル領域(図示せず)を形成してもよい。なお、前述したように、第2の酸化膜209を成長する前に、第2のトレンチ208の内部を酸化して数～数10nm薄い酸化膜を形成するか、第1の素子分離酸化膜234を形成した後に、酸化又は窒素、アルゴン等の不活性ガス雰囲気でアニールするといい。

【0078】図9(h)は、4～20nmのゲート酸化膜213を形成した後、100～300nmのポリシリコン214と100～300nmの高融点金属のシリサイド215とを公知のCVD技術などを用いて成長させ、更に100～300nmの酸化膜、窒化膜等の第1の絶縁膜216をCVD等の技術により成長させた後、フォトレジスト等のマスクを用いポリサイド構造のゲート電極217、及び、バイポーラトランジスタのベース引き出し電極218を形成し、続いて公知の方法により、N型LDD層219、P型LDD層220及び真性ベース領域221をイオン注入により順次形成し、続いて50～300nmの第2の絶縁膜をCVD等の技術によって成長させた後、公知の異方性エッチングによりゲート電極217及びベース引き出し電極218の側壁部にサイドウォール222を形成し、続いてNMOSのN⁺型ソース・ドレイン領域223及びPMOSのN⁺型Nウエルコンタクト領域224をイオン注入などにより同時に形成し、更に、PMOSのP⁺型ソース・ドレイン領域225及びNMOSのP⁺型Pウエルコンタクト領域226をイオン注入などにより同時に形成したものである。

【0079】図10(i)は、エミッタ引き出し電極227をN⁺型にドープされたポリシリで形成し、例えば酸化膜とボロンとリンを含んだ酸化膜との積層膜による層間絶縁膜228を形成し、コンタクトを開孔後、バリアメタル(図示せず)を介し、コンタクトプラグ229及び金属配線230を形成したものである。なお、エミッタ拡散層領域231と外部ベース領域232は、製造工程における熱処理か又は熱処理を追加することによって、N⁺型ポリシリコンで形成されたエミッタ引き出し

電極227、及び、ポリサイドで形成されたベース引き出し電極218のP⁺型ポリシリコンからそれぞれ不純物が拡散することにより形成される。

【0080】次に、本発明の第3実施形態について図面を参照して説明する。

【0081】図11乃至図15の(a)～(i)は、本発明の第3実施形態における構造及び製造方法を説明するための半導体素子の断面図である。

【0082】図15(i)は、本実施形態における構造を示している。本実施形態のBiCMOSにおける素子分離絶縁膜は、P型半導体基板301上に形成された第2のNウエル領域337の底よりも(好適には、第2のNウエル領域中の不純物のピーク濃度の部分よりも)浅い第1の素子分離酸化膜333と、第2のNウエル領域337を貫通してP型半導体基板301に達する第2の素子分離酸化膜334とによって形成されている。素子分離幅の狭い所は、第1の素子分離酸化膜333又は第2の素子分離酸化膜334のみで分離されている。素子分離幅の広い所は、第1の素子分離酸化膜333と第2の素子分離酸化膜334とが隣接することにより分離されている。また、広い素子分離領域では、第1の素子分離酸化膜333が第2の素子分離酸化膜334の間に挟まれた構造となっている。

【0083】更に、N⁺型Nウエルコンタクト領域324、P⁺型Pウエルコンタクト領域326及びコレクタ引き出し領域312のそれぞれは、第1の素子分離酸化膜333と第2の素子分離酸化膜334とにより周囲を囲まれることにより、各素子の位置が決められた構造となっている。また、P型ウエル領域310、第1のN型ウエル領域336及び第2のNウエル領域337のそれぞれは、第2の素子分離酸化膜334によって周囲を囲まれることにより各領域、及び各トランジスタ領域が決められた構造となっている。

【0084】次に、図11乃至図15の(a)～(i)を用いて本発明の第3実施形態の製造方法を説明する。

【0085】図11(a)は、P型半導体基板301表面に、例えば50nm～1000nmの酸化膜、又は50nm～1000nmの酸化膜と窒化膜との積層膜、等の第5のマスク905を形成したものである。

【0086】図11(b)は、P型半導体基板301表面に、公知の異方性エッチングにより第1のトレンチ306を形成したものである。なお、この第1のトレンチ306の深さは、バイポーラトランジスタのコレクタ領域を形成している第2のNウエル領域(ここでは図に示していない)を貫通しないように形成したもので、この第1のトレンチ306のアスペクト比は、CVD成長により酸化膜の埋込みが可能な3～5程度が望ましい。なお、第1のトレンチ306は、好適には第2のNウエル領域中の不純物のピーク濃度の部分よりも浅く形成するといい。

【0087】図12(c)は、第1のトレンチ306の開口部の幅に対し半分以上の膜厚の第1の酸化膜307を、CVD法などによって成長させ、公知の酸化膜ドライエッチ、CMP等の方法により第5のマスク905の表面まで除去し、第1のトレンチ306の内部を第1の酸化膜307で埋め込むことにより、第1の素子分離酸化膜333を形成したものである。なお、前述したように、第1の酸化膜307を成長させる前に、第1のトレンチ306の内部を酸化して数～数10nmの薄い酸化膜を形成するか、又は第1の素子分離酸化膜333を形成した後に、酸化若しくは窒素、アルゴン等の不活性ガス雰囲気でアニールするとよい。

【0088】図12(d)は、第2のトレンチ308を形成するため、フォトレジストによる第6のマスク906を形成したものである。今回は、第6のマスク906としてフォトレジストを用いているが、酸化膜や窒化膜をマスクとして用いてもよい。

【0089】図13(e)は、公知の異方性エッティング技術により第2のトレンチ308を形成したものである。この際に、好適には、第2のトレンチ308は、P型ウエル領域、第1のNウエル領域及び第2のNウエル領域(いずれも図示せず)をすべて貫通していることがもっとも望ましいが、少なくとも、第2のNウエル領域(図示せず)だけは貫通させるように形成する。この第2のトレンチ308のアスペクト比は、第1のトレンチ306と同様に、CVD成長による酸化膜の埋込みが可能な3～5程度が望ましい。また、第2のトレンチ308の底の部分には、例えば、フォトレジスト等のマスクを用い、必要に応じ選択的にイオン注入を行い、P⁺型やN⁺型のチャネルストップ領域を形成してもよい。

【0090】図13(f)は、第6のマスク906を除去した後、第2のトレンチ308の開口部の幅に対し半分以上の膜厚の第2の酸化膜309を、CVD法などによって成長させ、第2のトレンチ308の内部を第2の酸化膜309で埋込んだものである。

【0091】図14(g)は、公知の酸化膜ドライエッチ、CMP等の方法により第5のマスク905の表面まで除去し、更に第5のマスク905を除去することにより、深さの異なる第1の素子分離酸化膜333及び第2の素子分離酸化膜334からなる素子分離酸化膜が形成され、更にP型ウエル領域310、第1のN型ウエル領域336及び第2のN型ウエル領域337を公知の方法により形成したものである。このとき、第1のN型ウエル領域336及び第2のN型ウエル領域337は、同時に形成してもよいし、それぞれの最適条件で形成してもよい。なお、前述したように、第2の酸化膜309を成長する前に、第2のトレンチ308の内部を酸化して数～数10nm薄い酸化膜を形成するか、又は第1の素子分離酸化膜334を形成した後に、酸化若しくは窒素、アルゴン等の不活性ガス雰囲気でアニールするとよい。

【0092】図14(h)は、4～20nmのゲート酸化膜313を形成した後、100～300nmのポリシリコン314と100～300nmの高融点金属のシリサイド315とを公知のCVD技術などを用いて成長させ、更に100～300nmの酸化膜、窒化膜等の第1の絶縁膜316をCVD等の技術により成長させた後、フォトレジスト等のマスクを用いポリサイド構造のゲート電極317及びバイポーラトランジスタのベース引き出し電極318を形成し、続いて公知の方法によりN型

10 LDD層319、P型LDD層320及び真性ベース領域321をイオン注入により順次形成し、続いて50～300nmの第2の絶縁膜をCVD等の技術によって成長させた後、公知の異方性エッティングによりゲート電極317、及びベース引き出し電極318の側壁部にサイドウォール322形成し、続いてNMOSのN⁺型ソース・ドレイン領域323とPMOSのN⁺型Nウエルコントラクト領域324とをイオン注入などにより同時に形成し、更にPMOSのP⁺型ソース・ドレイン領域325、NMOSのP⁺型Pウエルコントラクト領域326及びコレクタ引き出し領域312をイオン注入などにより同時に形成したものである。

【0093】図15(i)は、エミッタ引き出し電極327をN⁺型にドープされたポリシリコンで形成し、例えれば、酸化膜とボロンとリンを含んだ酸化膜との積層膜による層間絶縁膜328を形成し、コンタクトを開孔後、バリアメタル(図示せず)を介し、コンタクトプラグ329及び金属配線330を形成したものです。なお、エミッタ拡散層領域331及び外部ベース領域332は、製造工程における熱処理か又は熱処理を追加することによって、N⁺型ポリシリコンで形成されたエミッタ引き出し電極327及びポリサイドで形成されたベース引き出し電極318のP⁺型ポリシリコンからそれぞれ不純物が拡散することにより形成される。

【0094】また、図15(i)の図中で、第1の素子分離酸化膜333と第2の素子分離酸化膜334とが3個隣同士に並び互いに接続されている部分がある。これらの上には、ゲート電極317、ベース引き出し電極318、金属配線330等の配線が2個以上のトレンチにまたがって形成されていない。そのため、この様な場合には、図中に示したように第1の素子分離酸化膜333と第2の素子分離酸化膜334とを互いに接続させる必要はなく、お互いの間隔をあけて形成してもよい。

【0095】更に、第2実施形態の製造方法で示したように、第3実施形態についても、トレンチの形成深さの異なる2種のトレンチの形成順序を変えても差し支えない。本発明第3実施形態ではBiCMOSとして説明を行っているが、BiCMOSのCMOS部の構造は、一般的に用いられているCMOSの構造と何ら変わらないので、CMOSにおいても実現可能であることは当業者であれば容易に推測できる。

【0096】本発明の第1実施形態では、第1のトレンチ106がV字型に形成されているので、第1のトレンチ106の幅を微細化した場合、第1のトレンチ106の深さが浅くなり、素子分離の能力が低下してしまう。これに対して、本発明の第3実施形態では、第1のトレンチ306は、溝の側壁がほぼ垂直に近い形状であるため、第1のトレンチ306の幅を微細化しても、第1のトレンチ306の深さが浅くなることはないため、第1のトレンチ306の幅を更に微細化することができる。

【0097】次に、本発明の第3実施形態の応用例について、図面を参照して説明する。

【0098】図16乃至図19は、本発明の第3実施形態の応用例を説明するための半導体素子の断面図及び平面図である。

【0099】第3実施形態では、分離幅の広い素子分離領域は、第1の素子分離酸化膜333と第2の素子分離酸化膜334とを隣接させて形成している。これに対し、図16(a)において、素子分離酸化膜上にゲート電極417や金属配線430等の配線層のある素子分離領域444では、これらの配線との寄生容量を低減するために、第1の素子分離酸化膜433と第2の素子分離酸化膜434とを隣接して設けているものの、配線層のない素子分離領域445では、このような問題が生じないので、第1の素子分離酸化膜433と第2の素子分離酸化膜434とを互いに離して設けている。このことにより、トランジスタや金属配線等の平面的なレイアウトを行なう際の自由度を増やすとともにレイアウトデータ量を低減することができる。また、今回図示していないが、第2層目よりも上の金属配線では、配線との距離が離れ、配線との寄生容量がほぼ無視できるほど小さくなるので、第1の素子分離酸化膜433と第2の素子分離酸化膜434とを互いに離して設けた領域に金属配線を形成しても問題ない。

【0100】さて、第3実施形態では、トレンチのアスペクト比を、現在の酸化膜によるCVDの技術により埋込が可能な3～5程で形成し、トレンチ内を酸化膜で埋込み素子分出領域を形成していた。しかし、更に素子分離領域の微細化を行ないトランジスタサイズの微細化を行おうとすると、トレンチ形成時のアスペクト比を従来の3～5よりも大きくする必要が生じる。そこで、この要求に対し、図16(b)は、酸化膜のCVD成長よりも埋込み性の優れた、例えばポリシリコンをトレンチ内部の充填物として用いることにより、10以上のアスペクト比のトレンチでも内部を埋込むことができる。したがって、第1の酸化膜407で第1の充填物442を、また、第2の酸化膜409で第2の充填物443をトレンチ内部のシリコンと絶縁することにより、第1の素子分離絶縁膜440と第2の素子分離絶縁膜441とを形成することができる。この方法を用いることによって、極微細な幅の素子分離絶縁膜の形成が可能となり、素子

分離領域のさらなる微細化を行うことができる。

【0101】図17(c)は、図16(a)と図16(b)との効果を併せ持った応用例を示したものである。

【0102】図18(a)は、第3実施形態に記載された技術を用いた際に、実現できる素子領域の平面レイアウトの一例である。図18(b)及び図19(c)はそれぞれ図18(a)のA-B部及びC-D部での断面図を示したものである。

【発明の効果】本発明によれば、第1の素子分離絶縁膜がウエル領域や埋込層領域を貫通して半導体基板まで達する深さに形成されているので、バイポーラトランジスタ、NMOS、PMOSの各トランジスタ間の素子分離を狭い間隔で行うことができる。また、第2の素子分離絶縁膜がウエル領域の底又は埋込層領域の底よりも浅く形成されているので、バイポーラトランジスタのコレクタ引き出し領域とベース領域との間の素子分離と、CMOSのソース・ドレイン領域とウエルコンタクト領域との素子分離を狭い間隔で行うことができる。これらにより、素子分離領域の微細化を行うことができ、トランジスタサイズの微細化が図れる。

【0104】また、第1の素子分離絶縁膜が狭い間隔でウエル領域や埋込層領域を貫通して半導体基板まで達する深さに形成されているので、NPN、PNPの各寄生バイポーラトランジスタによるラッチアップを防止でき、ラッチアップに対する耐性を向上できる。

【図面の簡単な説明】

【図1】本発明の第1実施形態を説明するための工程断面図であり、図1(a)、図1(b)の順に工程が進行する。

【図2】本発明の第1実施形態を説明するための工程断面図であり、図2(c)、図2(d)の順に工程が進行する。

【図3】本発明の第1実施形態を説明するための工程断面図であり、図3(e)、図3(f)の順に工程が進行する。

【図4】本発明の第1実施形態を説明するための工程断面図であり、図4(g)、図4(h)の順に工程が進行する。

【図5】本発明の第1実施形態を説明するための最終工程断面図である。

【図6】本発明の第2実施形態を説明するための工程断面図であり、図6(a)、図6(b)の順に工程が進行する。

【図7】本発明の第2実施形態を説明するための工程断面図であり、図7(c)、図7(d)の順に工程が進行する。

【図8】本発明の第2実施形態を説明するための工程断面図であり、図8(e)、図8(f)の順に工程が進行

する。

【図9】本発明の第2実施形態を説明するための工程断面図であり、図9（g）、図9（h）の順に工程が進行する。

【図10】本発明の第2実施形態を説明するための最終工程断面図である。

【図11】本発明の第3実施形態を説明するための工程断面図であり、図11（a）、図11（b）の順に工程が進行する。

【図12】本発明の第3実施形態を説明するための工程断面図であり、図12（c）、図12（d）の順に工程が進行する。

【図13】本発明の第3実施形態を説明するための工程断面図であり、図13（e）、図13（f）の順に工程が進行する。

【図14】本発明の第3実施形態を説明するための工程断面図であり、図14（g）、図14（h）の順に工程が進行する。

【図15】本発明の第3実施形態を説明するための最終工程断面図である。

【図16】本発明の第3実施形態の第1の応用例を説明するための断面図であり、図16（a）が第1例、図16（b）が第2例である。

【図17】本発明の第3実施形態の第1の応用例を説明するための断面図である。

【図18】本発明の第3実施形態の第2の応用例を説明するための図であり、図18（a）が平面図、図18（b）が断面図である。

【図19】本発明の第3実施形態の第2の応用例を説明するための断面図である。

【図20】第1の従来技術を説明するための工程断面図であり、図20（a）、図20（b）の順に工程が進行する。

【図21】第1の従来技術を説明するための工程断面図であり、図21（c）、図21（d）の順に工程が進行する。

【図22】第1の従来技術を説明するための工程断面図であり、図22（e）、図22（f）の順に工程が進行する。

【図23】第2の従来技術を説明するための工程断面図であり、図23（a）、図23（b）の順に工程が進行する。

【図24】第2の従来技術を説明するための工程断面図であり、図24（c）、図24（d）の順に工程が進行する。

【図25】第2の従来技術を説明するための工程断面図であり、図25（e）、図25（f）の順に工程が進行する。

【図26】第2の従来技術を説明するための工程断面図であり、図26（g）、図26（h）の順に工程が進行

する。

【図27】第2の従来技術を説明するための工程断面図であり、図27（i）、図27（j）の順に工程が進行する。

【図28】第3の従来技術を説明するための工程断面図であり、図28（a）、図28（b）の順に工程が進行する。

【図29】第3の従来技術を説明するための工程断面図であり、図29（c）、図29（d）の順に工程が進行

10 する。

【図30】第3の従来技術を説明するための工程断面図であり、図30（e）、図30（f）の順に工程が進行する。

【図31】第3の従来技術を説明するための工程断面図であり、図31（g）、図31（h）の順に工程が進行する。

【図32】第3の従来技術を説明するための最終工程断面図である。

【図33】第1の従来技術における問題点を説明するための断面図であり、図33（a）が第1例、図33（b）が第2例である。

【図34】第1の従来技術における問題点を説明するための断面図であり、図34（c）が第3例、図34（d）が第4例である。

【図35】第2の従来技術における問題点を説明するための図であり、図35（a）が平面図、図35（b）が断面図である。

【図36】第3の従来技術における問題点を説明するための断面図である。

30 【符号の説明】

101、201、301、401、501、601、701、801 P型半導体基板

102 P⁺型埋込層

103 第1のN⁺型埋込層

104 第2のN⁺型埋込層

105、205、605 N型エピタキシャル層

106、206、306、606、706、706'、806 第1のトレンチ

107、207、307、407、607、707、807 第1の酸化膜

108、208、308、608、708、808 第2のトレンチ

109、209、309、409、609、709、809 第2の酸化膜

110、210、310、510、710、810 P型ウエル領域

111、211、411、711、811 N型ウエル領域

112、212、312、612 コレクタ引き出し領域

50 域

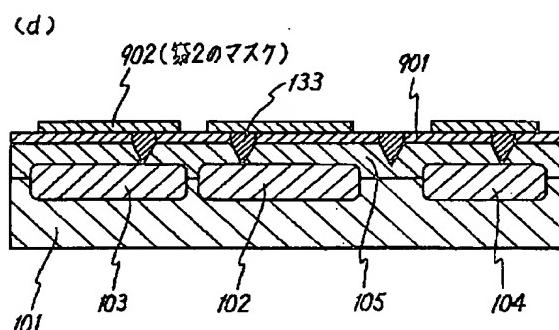
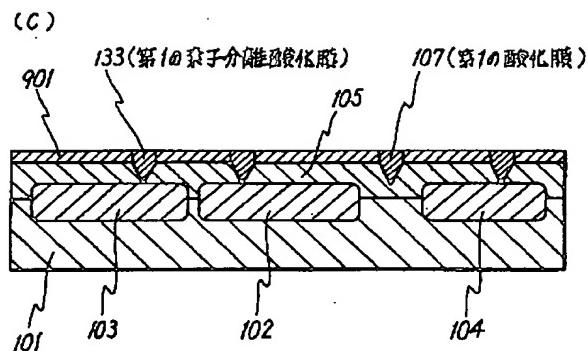
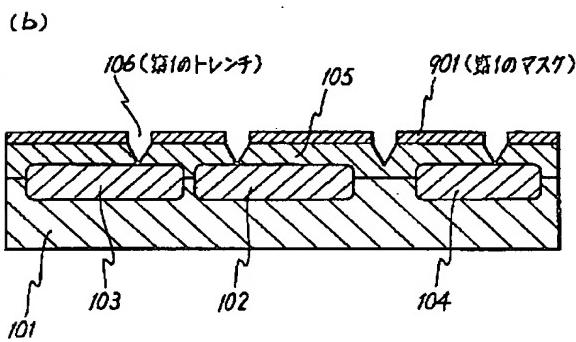
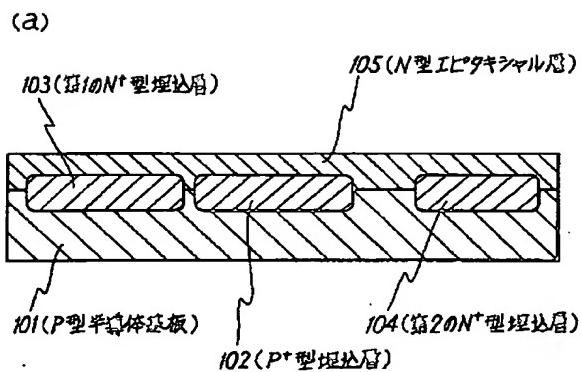
23

113、213、313、413、713、813 ゲート酸化膜
 114、214、314、414、614 ポリシリコン
 115、215、315、415 高融点金属のシリサイド
 116、216、316、416、616 第1の絶縁膜
 117、217、317、417、717、817、1017 ゲート電極
 118、218、318、618 ベース引き出し電極
 119、219、319 N型LDD層
 120、220、320 P型LDD層
 121、221、321、621 真性ベース領域
 122、222、322、422、622 サイドウォール
 123、223、323、723、823、1023
 N^+ 型ソース・ドレイン領域
 124、224、324、724、824、1024
 N^+ 型Nウエルコンタクト領域
 125、225、325、725、825、1025
 P^+ 型ソース・ドレイン領域
 126、226、326、726、826、1026
 P^+ 型Pウエルコンタクト領域
 127、227、327、627 エミッタ引き出し電極
 128、228、328、428、628、728 層間絶縁膜
 129、229、329、429 コンタクトプラグ
 130、230、330、430、630、730 金属配線
 131、231、331、631 エミッタ拡散層領域
 132、232、332、632 外部ベース領域
 133、233、333、433、533、733、833 第1の素子分離酸化膜
 134、234、334、434、534、734、834 第2の素子分離酸化膜

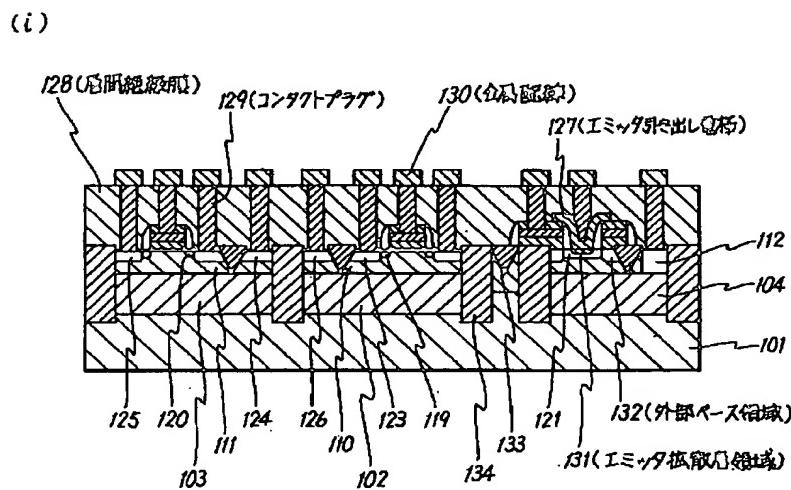
24

235、635 N^+ 型埋込層
 336、536 第1のN型ウエル領域
 337、537 第2のN型ウエル領域
 440、640 第1の素子分離絶縁膜
 441、641 第2の素子分離絶縁膜
 442 第1の充填物
 443 第2の充填物
 444 配線層のある素子分離領域
 445 配線層のない素子分離領域
 10 538 P^+ 型拡散層領域
 539 N^+ 型拡散層領域
 546 素子領域
 647 幅の狭いトレンチ
 648 幅の広いトレンチ
 657 削減可能なコレクター基板間拡散層容量
 658 削減可能なベース電極-コレクタ間容量
 749 第1のチャネルストップ領域
 750 第2のチャネルストップ領域
 751、851 チャネルストップ領域
 20 752、852 狹い素子分離領域
 753、853 広い素子分離領域
 754、854、1054 NMOS部
 755、855、1055 PMOS部
 901 第1のマスク
 902 第2のマスク
 903 第3のマスク
 904 第4のマスク
 905 第5のマスク
 906 第6のマスク
 30 907 第7のマスク
 908 第8のマスク
 909 第9のマスク
 910 第10のマスク
 911 第11のマスク
 912 第12のマスク
 913 第13のマスク
 1056 分離領域

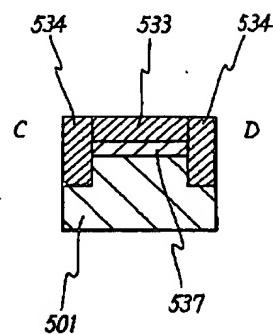
【図1】



【図5】

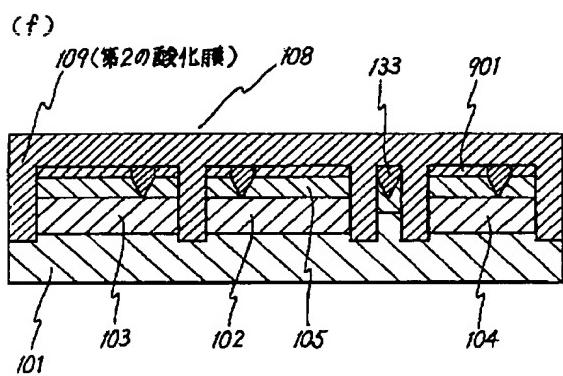
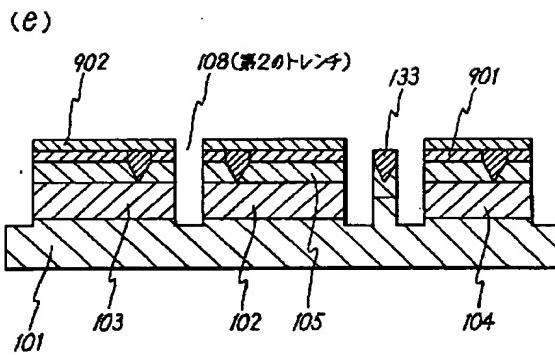


(c)

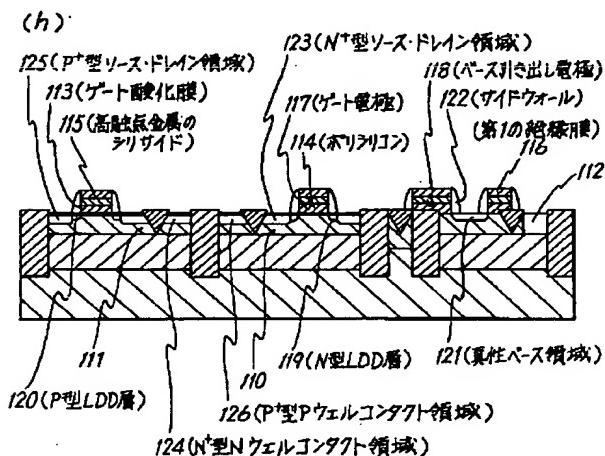
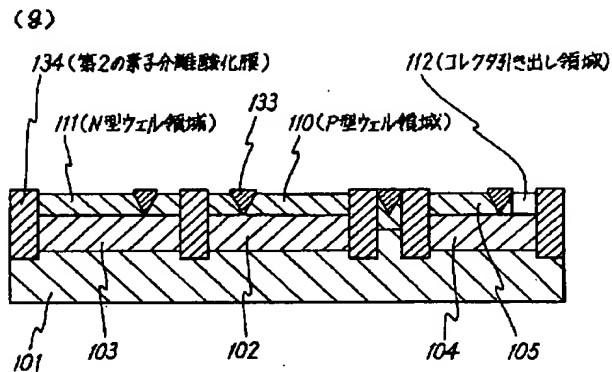


【図19】

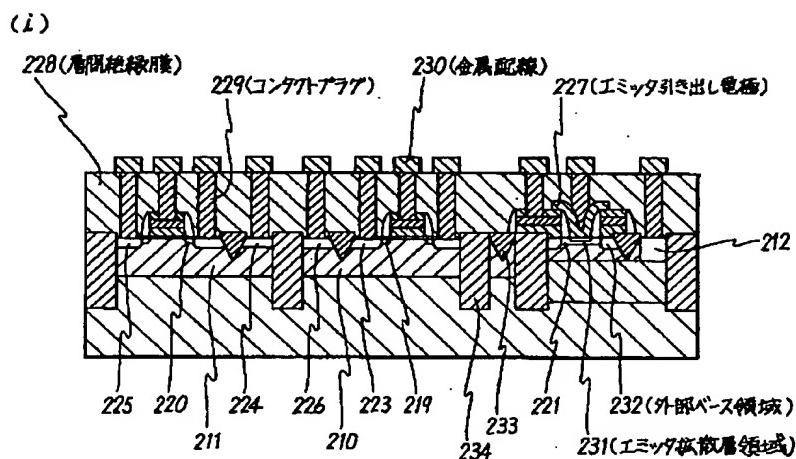
【図3】



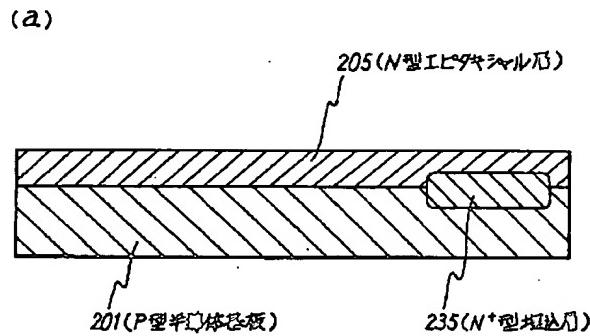
【図4】



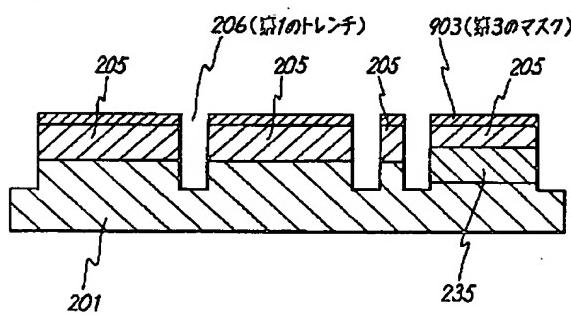
【図10】



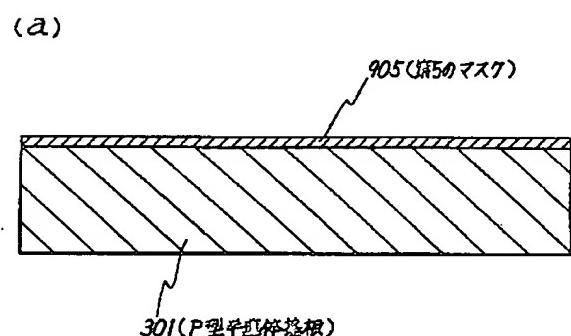
【図6】



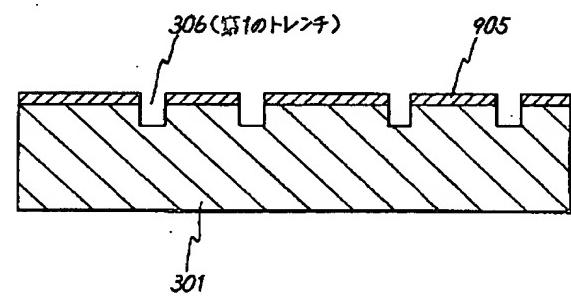
(b)



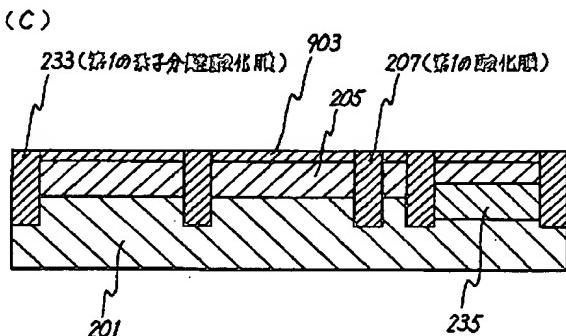
[図 1-1]



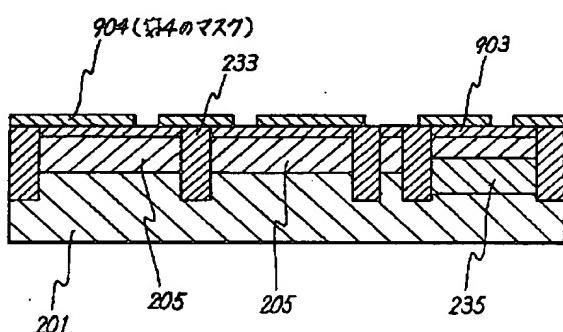
(b)



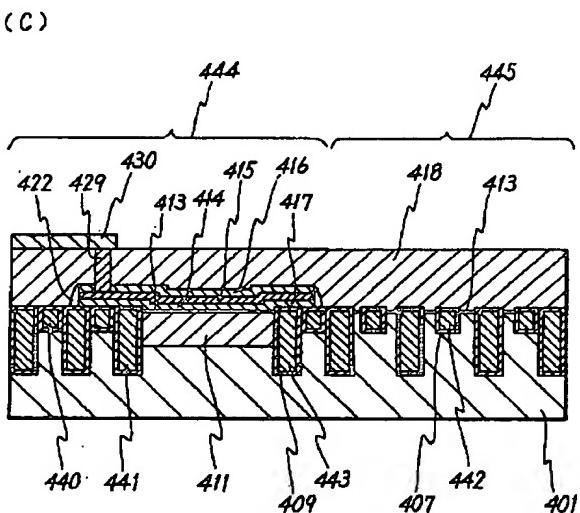
【図7】



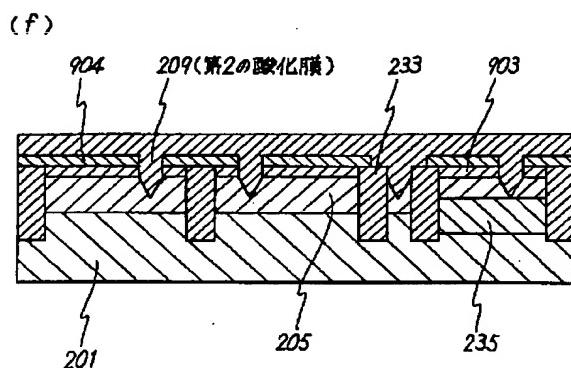
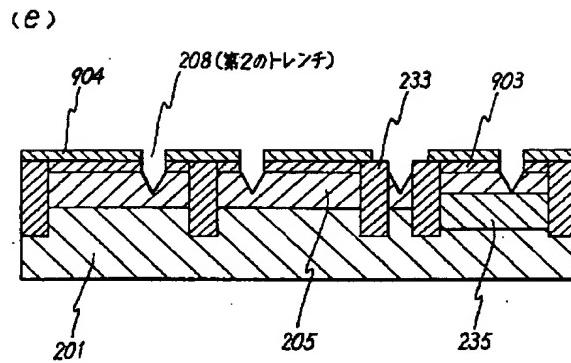
(d)



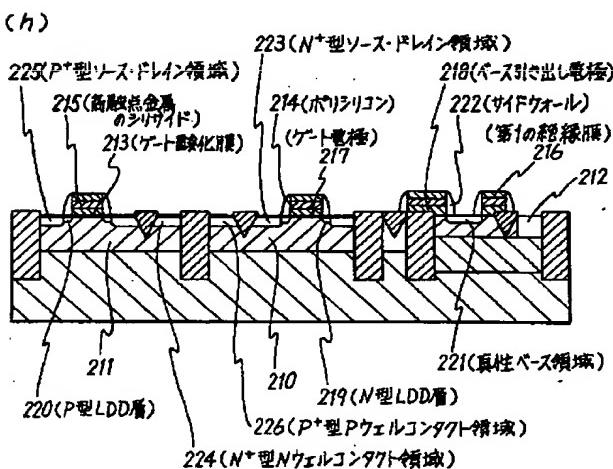
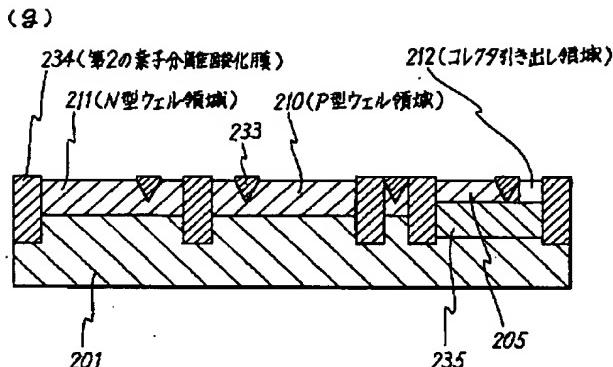
【図 17】



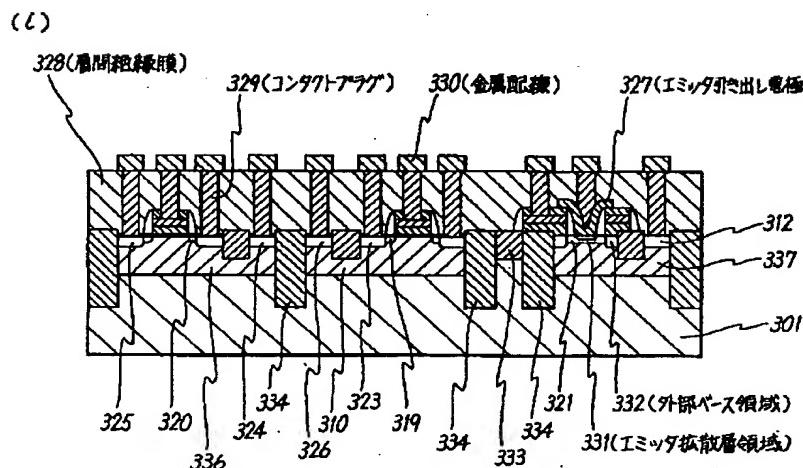
【図8】



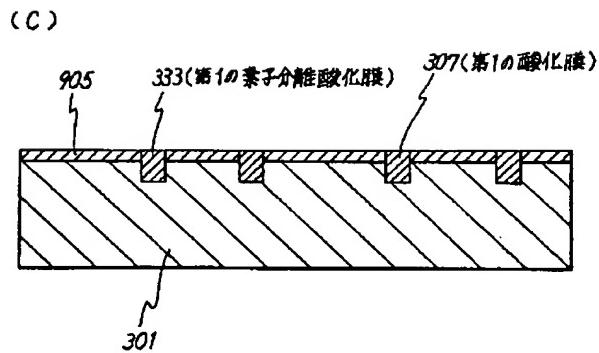
【図9】



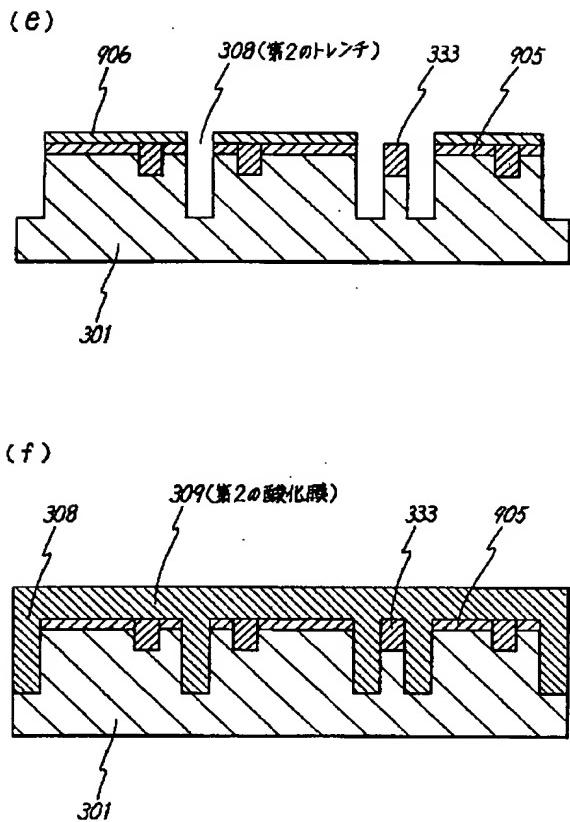
【図15】



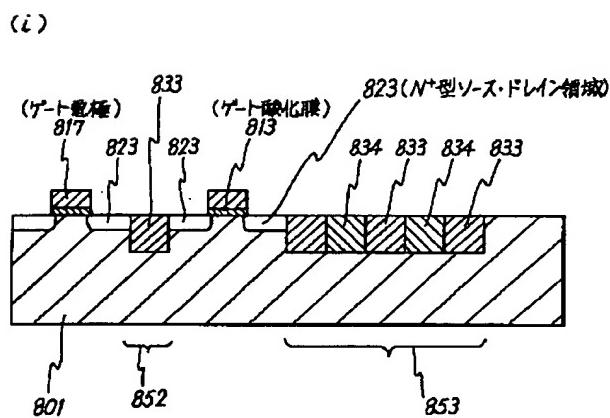
【図12】



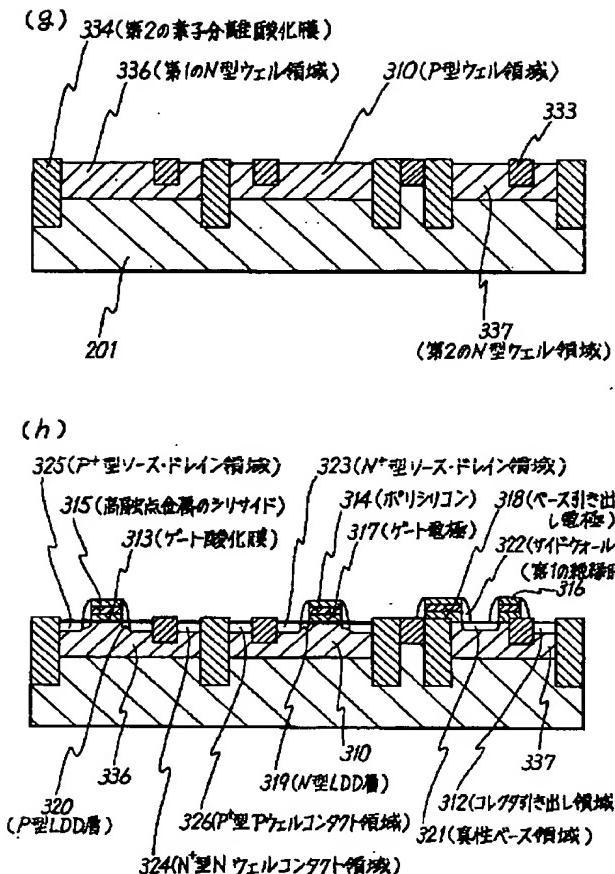
【図13】



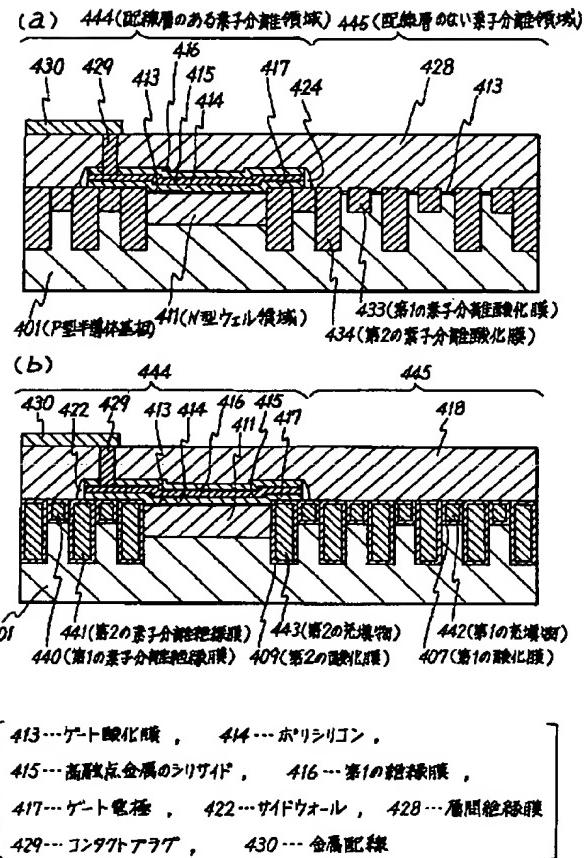
【図32】



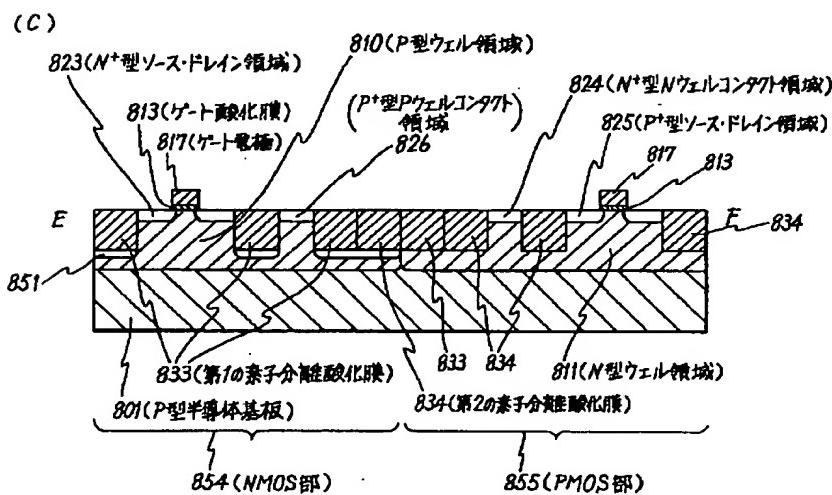
【図14】



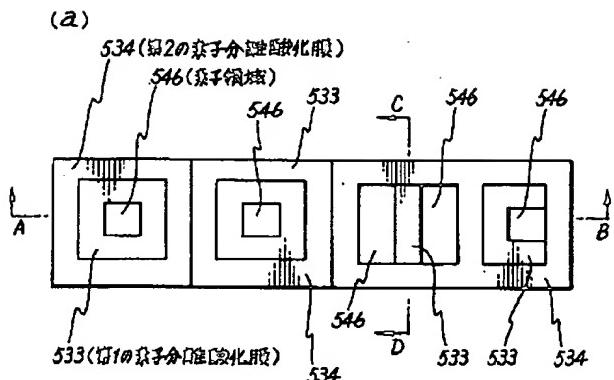
【図16】



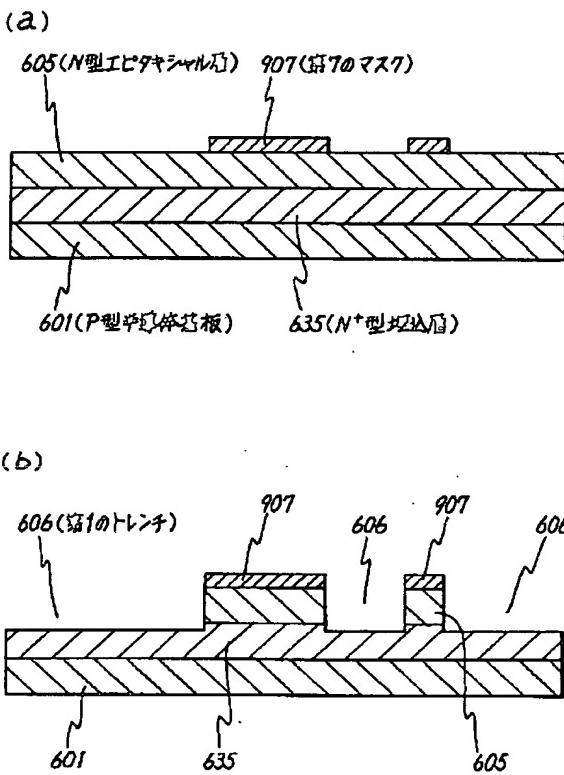
【図36】



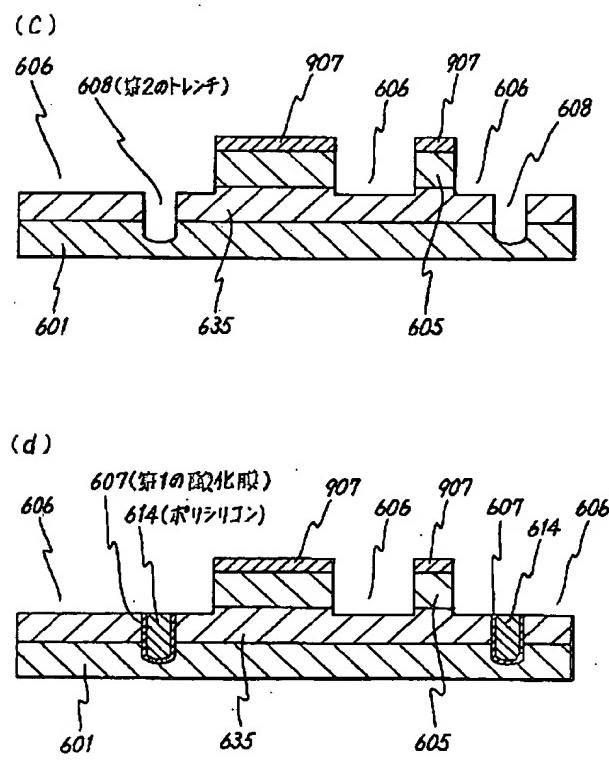
【図18】



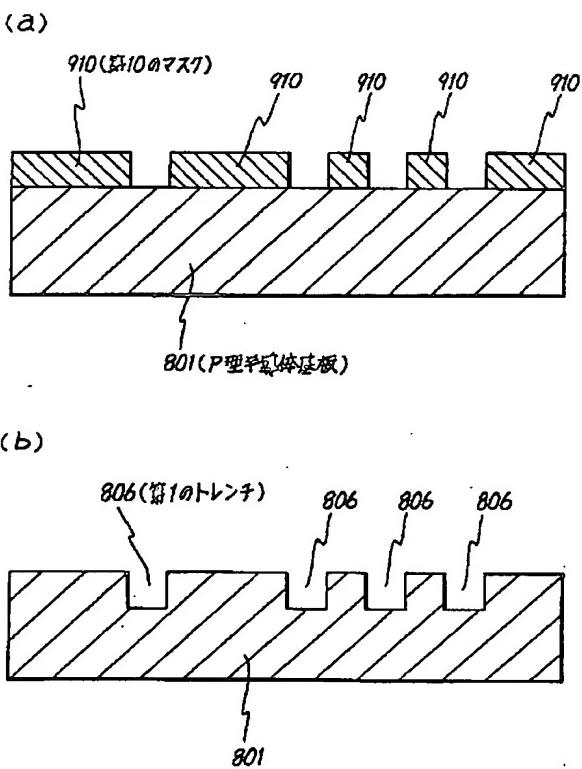
【図20】



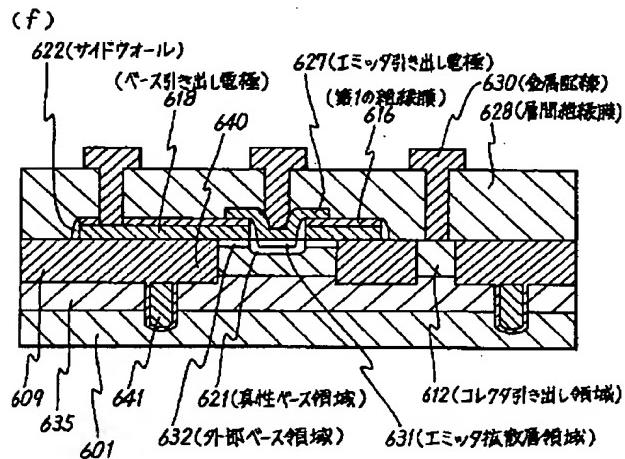
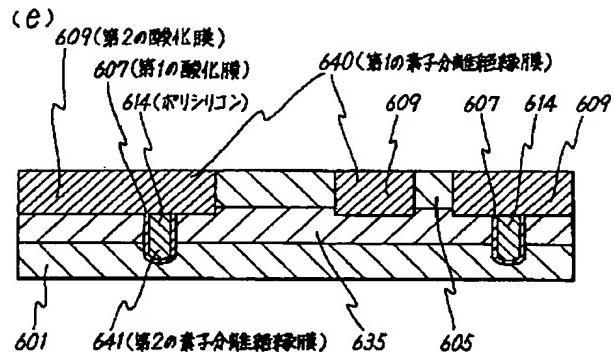
【図21】



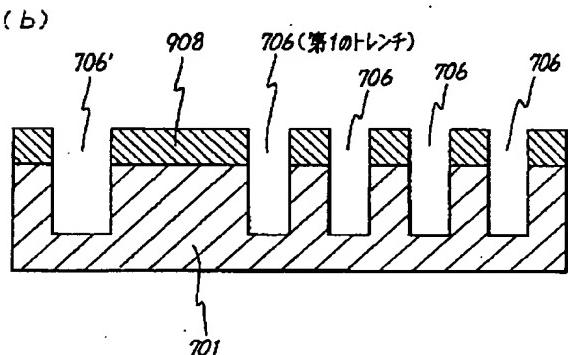
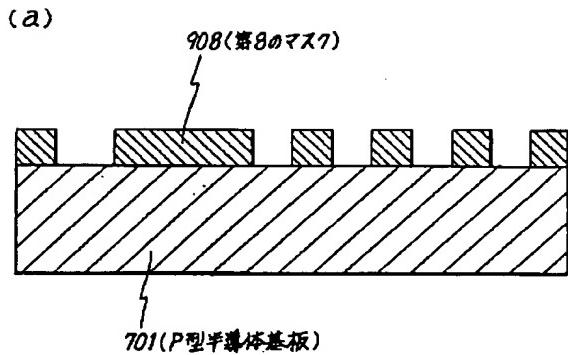
【図28】



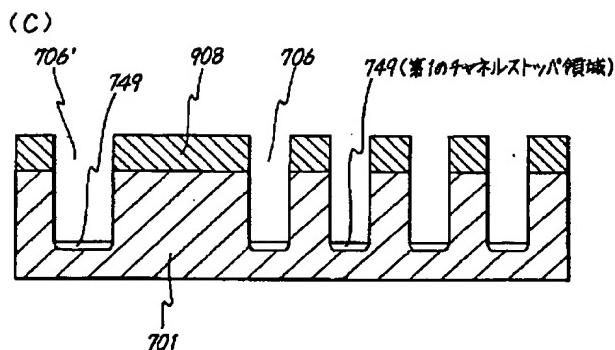
【図22】



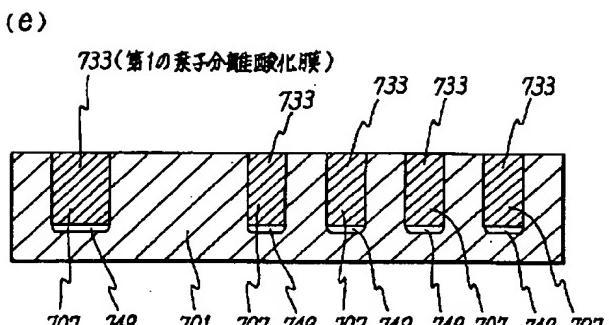
【図23】



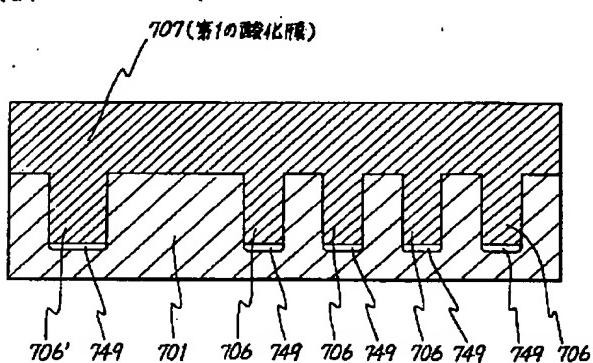
【図24】



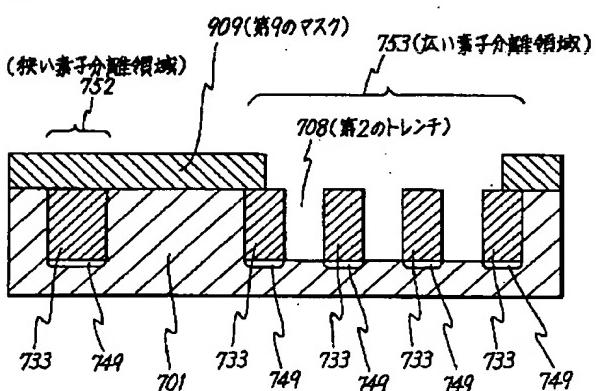
【図25】



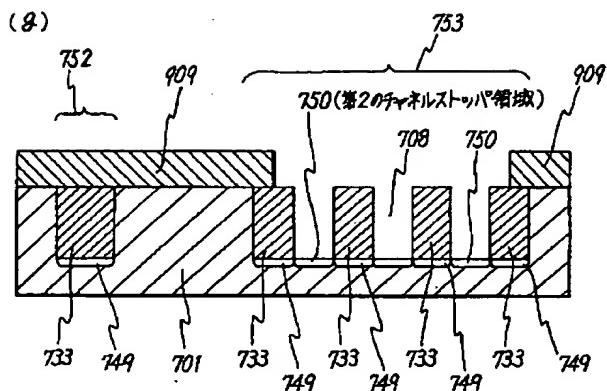
(d)



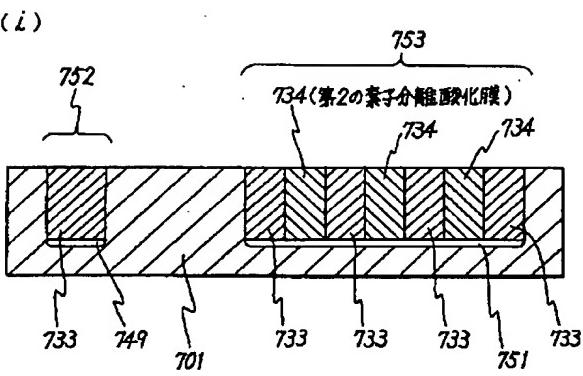
1



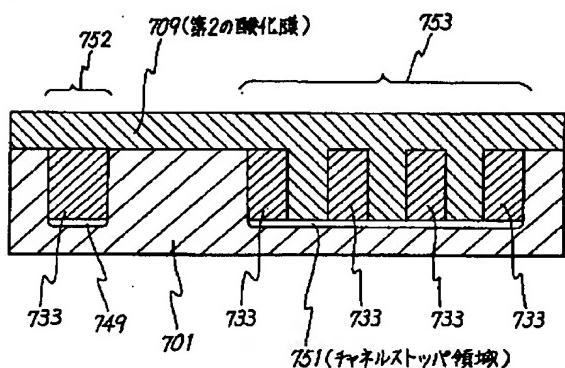
【図26】



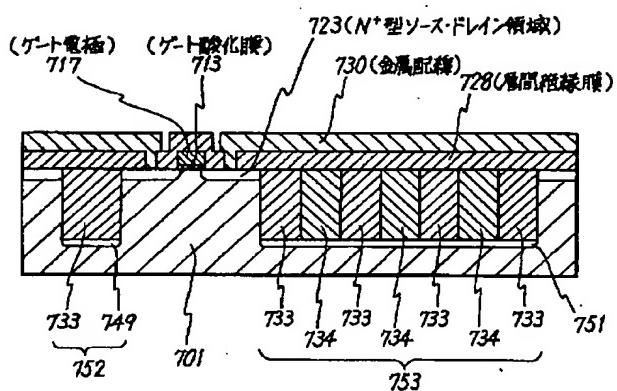
[図27]



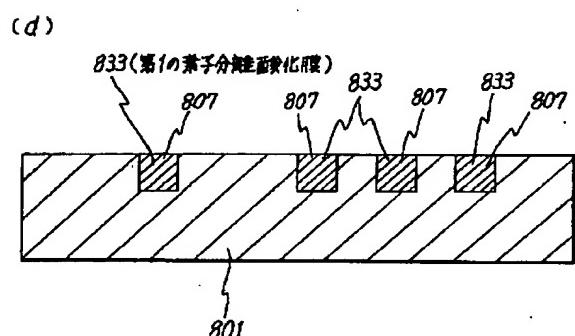
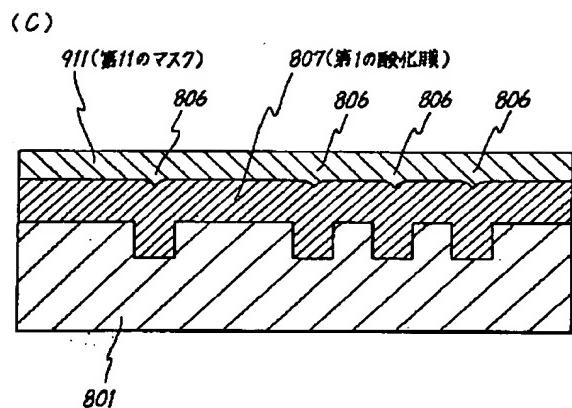
(h)



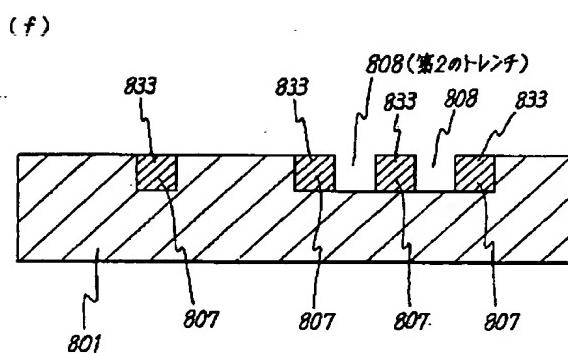
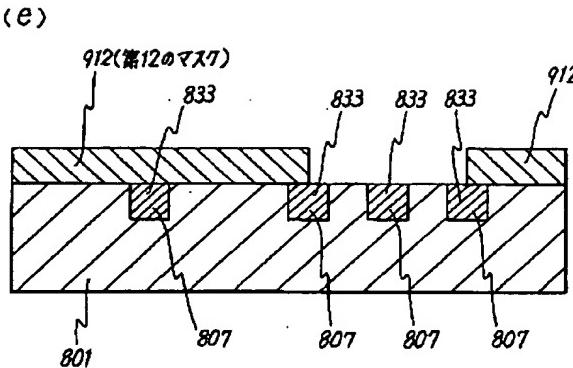
(५)



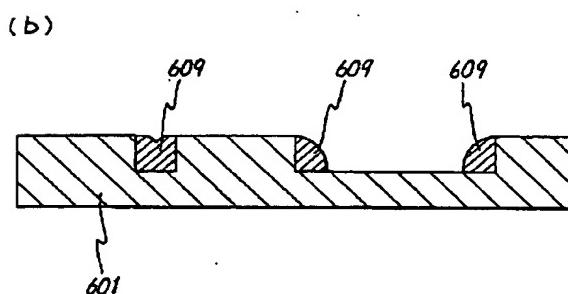
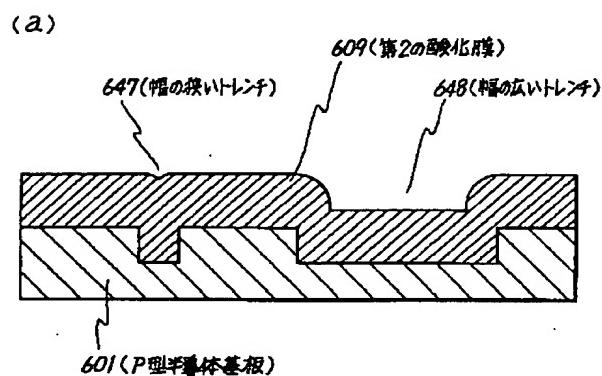
【図29】



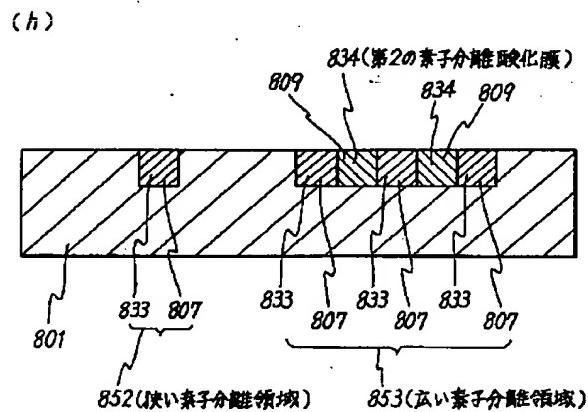
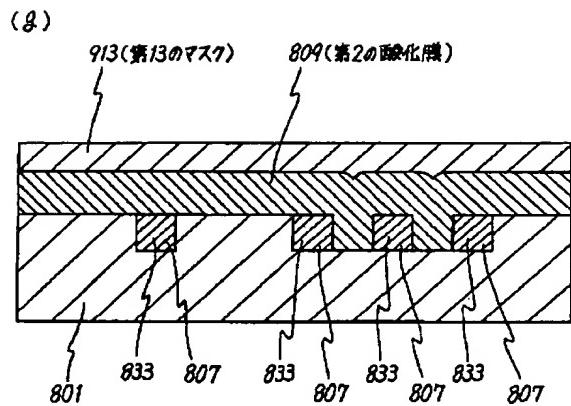
【図30】



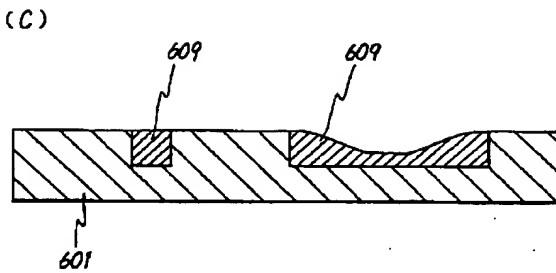
【図33】



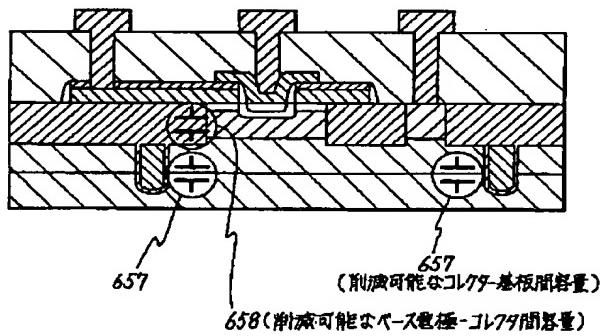
【図31】



【図34】



(d)



【図35】

